

PCT

世界知的所有権機関  
国際事務局  
特許協力条約に基づいて公開された国際出願



<p>(51) 国際特許分類6 H04N 5/335</p>	<p>A1</p>	<p>(11) 国際公開番号 <b>WO97/07628</b></p> <p>(43) 国際公開日 1997年2月27日(27.02.97)</p>												
<p>(21) 国際出願番号 PCT/JP96/02279</p> <p>(22) 国際出願日 1996年8月12日(12.08.96)</p> <p>(30) 優先権データ</p> <table border="0"> <tr> <td>特願平7/206140</td> <td>1995年8月11日(11.08.95)</td> <td>JP</td> </tr> <tr> <td>特願平7/206142</td> <td>1995年8月11日(11.08.95)</td> <td>JP</td> </tr> <tr> <td>特願平7/206143</td> <td>1995年8月11日(11.08.95)</td> <td>JP</td> </tr> <tr> <td>特願平8/59845</td> <td>1996年3月15日(15.03.96)</td> <td>JP</td> </tr> </table> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 東芝(KABUSHIKI KAISHA TOSHIBA)[JP/JP] 〒210 神奈川県川崎市幸区堀川町72番地 Kanagawa, (JP)</p> <p>(72) 発明者：および</p> <p>(75) 発明者／出願人 (米国についてのみ) 松長誠之(MATSUNAGA, Yoshiyuki)[JP/JP] 〒247 神奈川県鎌倉市小袋谷1-4-21-212 Kanagawa, (JP) 大澤慎治(OHSAWA, Shinji)[JP/JP] 〒243-04 神奈川県海老名市国分北1-21-24-204 Kanagawa, (JP) 中村信男(NAKAMURA, Nobuo)[JP/JP] 〒183 東京都府中市東芝町2-1-E620 Tokyo, (JP)</p>		特願平7/206140	1995年8月11日(11.08.95)	JP	特願平7/206142	1995年8月11日(11.08.95)	JP	特願平7/206143	1995年8月11日(11.08.95)	JP	特願平8/59845	1996年3月15日(15.03.96)	JP	<p>山下浩史(YAMASHITA, Hirofumi)[JP/JP] 〒146 東京都大田区東矢口1-5-22 Tokyo, (JP) 三浦浩樹(MIURA, Hiroki)[JP/JP] 〒235 神奈川県横浜市磯子区汐見台2-8-2 Kanagawa, (JP)</p> <p>(74) 代理人 弁理士 鈴江武彦, 外(SUZUYE, Takehiko et al.) 〒100 東京都千代田区霞が関3丁目7番2号 鈴榮内外國特許事務所 Tokyo, (JP)</p> <p>(81) 指定国 JP, KR, US, 欧州特許 (DE, FR, NL).</p> <p>添付公開書類 国際調査報告書</p>
特願平7/206140	1995年8月11日(11.08.95)	JP												
特願平7/206142	1995年8月11日(11.08.95)	JP												
特願平7/206143	1995年8月11日(11.08.95)	JP												
特願平8/59845	1996年3月15日(15.03.96)	JP												
<p>(54)Title: <b>MOS SOLID-STATE IMAGE PICKUP DEVICE</b></p> <p>(54)発明の名称 <b>MOS型固体撮像装置</b></p> <p>(57) Abstract</p> <p>A MOS solid-state image pickup device is provided with unit cells each of which comprises a photodiode, an amplifying transistor that receives the output of the photodiode at a gate, a vertical selection transistor that is connected in series with the transistor, and a reset transistor that is connected between the drain and gate of the amplifying transistor and transmits the signal of the photodiode to the outside and which are arranged in a two-dimensional matrix, a plurality of vertical address lines which are connected to the gates of the vertical selection transistors and arranged in the direction of column, a vertical address circuit which drives the vertical address lines, a plurality of vertical signal lines from which the currents of the amplifying transistors are read out and which are arranged in the direction of row, a plurality of load transistors provided at one end of the vertical signal lines, a plurality of horizontal selection transistors provided at the other end of the vertical signal lines, a horizontal address circuit which successively feeds selection pulse signals to the gates of the horizontal selection transistors, and horizontal signal lines which read signal currents from the vertical signal lines through the horizontal selection transistors.</p> <div data-bbox="1036 1220 1372 1711"> </div> <p>5 ... vertical address circuit P4-1-1, P4-1-2, P4-2-1, P4-2-2: unit cell 13 ... horizontal address circuit</p>														

(57) 要約

フォトダイオード、このフォトダイオードの出力がゲートに入力される増幅トランジスタ、この増幅トランジスタと直列に接続された垂直選択トランジスタ、及び増幅トランジスタのドレインとゲートの間に接続されフォトダイオードの信号を外部へ排出するリセットトランジスタとからなる単位セルを行列2次元状に配列してなる単位セルと、垂直選択トランジスタのゲートに接続され行方向に配置された複数の垂直アドレス線と、これらの垂直アドレス線を駆動する垂直アドレス回路と、増幅トランジスタの電流を読み出す列方向に配置された複数の垂直信号線と、これらの垂直信号線の一端に設けられた複数の負荷トランジスタと、垂直信号線他端に設けられた複数の水平選択トランジスタと、これらの水平選択トランジスタのゲートに順次選択パルス信号を与える水平アドレス回路と、水平選択トランジスタを介して垂直信号線から信号電流を読み出す水平信号線とを具備するMOS型固体撮像装置。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルバニア	DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド
AM	アルメニア	DK	デンマーク	LC	セントルシア	PT	ポルトガル
AT	オーストリア	ES	スペイン	LK	スリランカ	RU	ロシア連邦
AU	オーストラリア	FI	フィンランド	LR	リベリア	SD	スーダン
AZ	アゼルバイジャン	FR	フランス	LS	レソト	SE	スウェーデン
BA	ボスニア・ヘルツェゴビナ	GB	イギリス	LT	リトアニア	SG	シンガポール
BB	ババルバドス	GE	ジョージア	LV	ラトヴィア	SI	スロベニア
BE	ベルギー	GN	ギニア	MC	モナコ	SK	スロバキア
BG	ブルガリア	GR	ギリシャ	MD	モルドバ共和国	SN	セネガル
BJ	ベナン	HU	ハンガリー	MG	マダガスカル	SZ	ス威士ランド
BY	ベラルーシ	IE	アイルランド	MK	マケドニア共和国	TD	チャド
CA	カナダ	IL	イスラエル	ML	マリ	TG	トーゴ
CC	中東アフリカ共和国	IS	イスラエル	MN	モンゴル	TJ	タジキスタン
CG	コンゴ	IT	イタリア	MR	モーリタニア	TM	トルクメニスタン
CH	スイス	JP	日本	MW	マラウイ	TR	トルコ
CI	コート・ジボアール	KE	ケニア	MX	メキシコ	TT	トリニダード・トバゴ
CM	カメルーン	KR	韓国	NE	ニジェール	UA	ウクライナ
CN	中国	KZ	カザフスタン	NL	オランダ	UG	ウガンダ
CU	キューバ			NO	ノルウェー	UZ	ウズベキスタン
CZ	チェコ共和国			NZ	ニュージーランド	VN	ベトナム

## 明 細 書

## MOS型固体撮像装置

## 技術分野

- 5 本発明は、信号電荷をセル内で増幅する増幅型MOSセンサを用いた固体撮像装置に関する。

## 背景技術

- 近年、ビデオカメラの小型化や、高画素数のハイビジョン用の固体撮像装置の開発が進められているが、カメラや固体撮像装置の小型化だけでなく、  
10 低消費電力・低電圧型の固体撮像装置が、携帯用カメラやパソコンカメラとして強く求められている。

- しかし、固体撮像装置のチップサイズの縮小により、微細化による取り扱い信号電荷量が減少するという問題がある。この結果、固体撮像装置のダイナミックレンジの減少が生じ、鮮明な解像感のある映像を得ることができない、などの問題が生じている。また、2値や3値以上の多数の電源電圧を使用していることから、カメラシステムの構成や取扱いの上で簡単なシステムで対応できない、などの問題がある。即ち、携帯用カメラやパソコンカメラへの応用のためには、この低消費電力・低電圧化と共に、S/Nの良い、単  
15 一電源の固体撮像装置が望まれている。

この問題を解決する方法として、増幅型のトランジスタを用いた固体撮像装置が幾つか提案されている。この固体撮像装置は、各セル内でフォトダイオードで検出した信号をトランジスタで増幅するものであり、高感度という特徴を持つ。

- 25 図1は、増幅型MOSセンサを用いた従来の固体撮像装置を示す回路構成図である。画素に相当する単位セル $P0-i-j$ が縦、横に2次元マトリクス状に配列されている。図では、 $3 \times 3$ しか示していないが、実際は数千個 $\times$ 数千個ある。 $i$ は水平(row)方向の変数、 $j$ は垂直(column)方向の変数である。各単位セル $P0-i-j$ は、入射光を検出するフォトダイオード

1-i-jと、フォトダイオード1-i-jのカソードがゲートに接続され、その検出信号を増幅する増幅トランジスタ2-i-jと、増幅トランジスタ2-i-jのドレインに接続され、信号を読み出す水平ラインを選択する垂直選択トランジスタ3-i-jと、フォトダイオード1-i-jのカソード  
5 に接続され、信号電荷をリセットするリセットトランジスタ4-i-jからなる。垂直選択トランジスタ3-i-jのソースとリセットトランジスタ4-i-jのソースがドレイン電圧端子に共通に接続される。

垂直アドレス回路5から水平方向に配線されている垂直アドレス線6-1, 6-2, ...は各行の単位セルの垂直選択トランジスタ3-1-1, ...のゲート  
10 に接続され、信号を読み出す水平ラインを決めている。同様に、垂直アドレス回路5から水平方向に配線されているリセット線7-1, 7-2, ...は、各行のリセットトランジスタ4-1-1, ...のゲートに接続されている。

各列の単位セルの増幅トランジスタ2-1-1, ...のソースは列方向に配置された垂直信号線8-1, 8-2, ...に接続され、垂直信号線8-1, 8-2, ...の一端には負荷トランジスタ9-1, 9-2, ...が設けられている。  
15 垂直信号線8-1, 8-2, ...の他端は、水平アドレス回路13から出力される水平アドレスパルスにより駆動される水平選択トランジスタ12-1, 12-2, ...を介して信号出力端（水平信号線）15に接続されている。

図2は、このデバイスの動作を示すタイミングチャートである。垂直アドレス線6-1にハイレベルのアドレスパルスを印加すると、このラインの垂直  
20 選択トランジスタ3のみオンし、このラインの増幅トランジスタ2と負荷トランジスタ9でソースフォロワ回路が構成される。

これにより、増幅トランジスタ2のゲート電圧、即ちフォトダイオード1の電圧とほぼ同等の電圧が垂直信号線8に現れる。

25 次いで、水平アドレス回路13から水平アドレスパルスを水平選択トランジスタ12-1, 12-2, ...に順次印加し、信号出力端15から1ライン分の信号を順次取り出す。1ライン分の信号の読み出しが終わるとリセット線7-1にハイレベルのリセットパルスを印加し、このラインのリセットトランジスタ4をオンして信号電荷をリセットする。

この動作を、次のライン、その次のラインと順次続けることにより、2次元状全ての信号を読み出すことができる。ここで、フォトダイオード1の電位の変化分とほぼ同等の変化分の電圧が垂直信号線8に現れる。フォトダイオード1の容量を $C_s$ 、垂直信号線8の容量を $C_v$ とすると、信号電荷は $C_v/C_s$ 倍に増幅される。一般には、 $C_v$ は $C_s$ に比べ非常に大きい。

しかしながら、この種の装置にあっては次のような問題があった。第1に、このような増幅型MOS型固体撮像装置においては、増幅トランジスタ64の閾値電圧のバラツキが信号に重畳するため、フォトダイオード62の電位が同じでも出力信号が同じとはならず、写した画像を再生すると増幅トランジスタ64の閾値バラツキに対応する2次元状の雑音（場所的に固定されているという意味で、固定パターン雑音と称される）が発生することである。

このように従来増幅型MOSセンサを用いた固体撮像装置においては、増幅トランジスタの閾値電圧のばらつきに対応する固定パターン雑音が現れるという問題があった。

本発明は、上記事情を考慮して成されたもので、その目的とするところは、増幅トランジスタの閾値電圧のばらつきに起因する2次元状の固定パターン雑音を抑圧できる固体撮像装置を提供することである。

#### 発明の開示

本発明によるMOS型固体撮像装置は、配列されている多数の単位セルと、単位セルを選択する手段とを具備するMOS型固体撮像装置において、単位セルは、光電変換部と、光電変換部がそのゲートに接続され、光電変換部の出力信号を増幅して単位セルから出力する増幅トランジスタと、選択手段がそのゲートに接続され、増幅トランジスタを選択的に導通させる選択トランジスタと、増幅トランジスタと選択トランジスタの接続点と増幅トランジスタのゲートとの間に接続され、増幅トランジスタのゲートを選択的にリセットするリセットトランジスタとを具備するものである。

本発明による他のMOS型固体撮像装置は、フォトダイオード、このフォトダイオードの出力がゲートに入力される増幅トランジスタ、この増幅トラ

- ンジスタと直列に接続された垂直選択トランジスタ、及び増幅トランジスタのドレインとゲートの間に接続されフォトダイオードの信号を外部へ排出するリセットトランジスタとからなる単位セルを行列２次元状に配列してなる撮像領域と、垂直選択トランジスタのゲートに接続され行方向に配置された
- 5 複数の垂直アドレス線と、これらの垂直アドレス線を駆動する垂直アドレス回路と、増幅トランジスタの電流を読み出す列方向に配置された複数の垂直信号線と、これらの垂直信号線の一端に設けられた複数の負荷トランジスタと、垂直信号線他端に設けられた複数の水平選択トランジスタと、これらの水平選択トランジスタのゲートに順次選択パルス信号を与える水平アドレス回路と、水平選択トランジスタを介して垂直信号線から信号電流を読み出す水平信号線とを具備するものである。
- 10

- 本発明による別のMOS型固体撮像装置は、フォトダイオード、このフォトダイオードの出力がゲートに入力される増幅トランジスタ、この増幅トランジスタと直列に接続された垂直選択トランジスタ、及び増幅トランジスタ
- 15 のドレインとゲートの間に接続されフォトダイオードの信号を外部へ排出するリセットトランジスタとからなる単位セルを行列２次元状に配列してなる撮像領域と、垂直選択トランジスタのゲートに接続され行方向に配置された複数の垂直アドレス線と、これらの垂直アドレス線を駆動する垂直アドレス回路と、増幅トランジスタの電流を読み出す列方向に配置された複数の垂直
- 20 信号線と、これらの垂直信号線の一端に設けられた複数の負荷トランジスタと、垂直信号線他端に、分離トランジスタを介して設けられた複数の水平選択トランジスタと、垂直信号線他端に並列に接続されるホールド容量と、これらの水平選択トランジスタのゲートに順次選択パルス信号を与える水平アドレス回路と、水平選択トランジスタを介して垂直信号線から信号電流を
- 25 読み出す水平信号線とを具備するものである。

#### 図面の簡単な説明

図１はMOS型固体撮像装置の従来例の構成を示す回路図、

図 2 は図 1 の従来例の動作を示すタイミングチャート、

図 3 は本発明による MOS 型固体撮像装置の第 1 実施例の構成を示す回路図、

図 4 は第 1 実施例の垂直アドレス回路の回路構成を示す図、

5 図 5 は第 1 実施例の垂直アドレス回路の他の回路構成を示す図、

図 6 は第 1 実施例の垂直アドレス回路のさらに他の回路構成を示す図、

図 7 は第 1 実施例の単位セルの回路図、

図 8 A、図 8 B、図 8 C、図 8 D は第 1 実施例の単位セルの増幅トランジスタの閾値電圧のバラツキを補正する原理を説明する図、

10 図 9 は第 1 実施例の動作を示すタイミングチャート、

図 10 は第 1 実施例のノイズキャンセラ部分の装置構造を示す断面図、

図 11 A、図 11 B は第 1 実施例の単位セルの装置構造を示す断面図、

図 12 は第 1 実施例の単位セルの部分の半導体基板の変形例を示す図、

図 13 は CCD 型固体撮像装置の従来例のセルの断面図、

15 図 14 は第 1 実施例の単位セルの部分の半導体基板の他の変形例を示す図、

図 15 は第 1 実施例の単位セルの部分の半導体基板のさらに他の変形例を示す図、

図 16 は第 1 実施例の単位セルの部分の半導体基板のさらに他の変形例を示す図、

20 図 17 は第 1 実施例の単位セルの部分の半導体基板のさらに他の変形例を示す図、

図 18 は第 1 実施例の単位セルの部分の半導体基板のさらに他の変形例を示す図、

25 図 19 は本発明による MOS 型固体撮像装置の第 2 実施例の構成を示す回路図、

図 20 は第 2 実施例の動作を示すタイミングチャート、

図 21 は本発明による MOS 型固体撮像装置の第 3 実施例の構成を示す回路図、

図 2 2 は第 3 実施例の動作を示すタイミングチャート、

図 2 3 は本発明による MOS 型固体撮像装置の第 4 実施例の構成を示す回路図、

5 図 2 4 は本発明による MOS 型固体撮像装置の第 5 実施例の構成を示す回路図、

図 2 5 は本発明による MOS 型固体撮像装置の第 6 実施例の構成を示す回路図、

図 2 6 は本発明による MOS 型固体撮像装置の第 7 実施例の第 1 の構成を示す回路図、

10 図 2 7 は本発明による MOS 型固体撮像装置の第 7 実施例の第 2 の構成を示す回路図、

図 2 8 は本発明による MOS 型固体撮像装置の第 8 実施例の単位セルの構成を示す回路図、

15 図 2 9 は本発明による MOS 型固体撮像装置の第 9 実施例の単位セルの構成を示す回路図、

図 3 0 は本発明による MOS 型固体撮像装置の第 1 0 実施例の単位セルの構成を示す回路図、

図 3 1 は本発明の変形例において、水平信号線に接続されるビデオアンプの回路図である。

20

発明を実施するための最良の形態

以下、図面を参照して本発明による MOS 型固体撮像装置の実施例を説明する。

#### 第 1 実施例

25 図 3 は、本発明の第 1 実施例に係る MOS 型固体撮像装置の構成を示す。単位セル  $P4-i-j$  が縦、横に 2 次元マトリクス状に配列されている。図では、 $2 \times 2$  しか示していないが、実際は数千個  $\times$  数千個ある。i は水平 (row) 方向の変数、j は垂直 (column) 方向の変数である。各単位セル  $P4-i-j$  の詳細は図 7 に示す。



本発明の固体撮像装置の応用分野としては、ビデオカメラ、電子スチルカメラ、デジタルカメラ、ファクシミリ、複写機、スキャナ等がある。

垂直アドレス回路 5 から水平方向に配線されている垂直アドレス線 6-1, 6-2, ... は各行の単位セルに接続され、信号を読み出す水平ラインを決めている。同様に、垂直アドレス回路 5 から水平方向に配線されているリセット線 7-1, 7-2, ... は、各列の単位セルに接続されている。

各列の単位セルは列方向に配置された垂直信号線 8-1, 8-2, ... に接続され、垂直信号線 8-1, 8-2, ... の一端には負荷トランジスタ 9-1, 9-2, ... が設けられている。負荷トランジスタ 9-1, 9-2, ... のゲートとドレインは共通にドレイン電圧端子 20 に接続される。

垂直信号線 8-1, 8-2, ... の他端は、MOS トランジスタ 26-1, 26-2, ... のゲートに接続される。MOS トランジスタ 26-1, 26-2, ... のソースは MOS トランジスタ 28-1, 28-2, ... のドレインに接続され、MOS トランジスタ 26-1, 26-2, ...、28-1, 28-2, ... はソースフォロワ回路として動作する。MOS トランジスタ 28-1, 28-2, ... のゲートは共通ゲート端子 36 に接続される。

MOS トランジスタ 26-1, 26-2, ... と MOS トランジスタ 28-1, 28-2, ... との接続点がサンプルホールドトランジスタ 30-1, 30-2, ... を介してクランプ容量 32-1, 32-2, ... の一端に接続される。クランプ容量 32-1, 32-2, ... の他端にはサンプルホールド容量 34-1, 34-2, ... とクランプトランジスタ 40-1, 40-2, ... が並列に接続されている。サンプルホールド容量 34-1, 34-2, ... の他端は接地されている。クランプ容量 32-1, 32-2, ... の他端は水平選択トランジスタ 12-1, 12-2, ... を介して信号出力端（水平信号線）15 にも接続される。

垂直アドレス回路 5 は、複数、ここでは 2 本の信号を纏めてシフトする回路であり、図 4、図 5、図 6 のいずれかの回路により実現される。図 4 の例では、入力信号 46 を多数の出力端から順次シフトして出力するアドレス回路 44 の出力がマルチプレクサ 48 により 2 入力信号 50 と合成される。図

5の例では、エンコード入力54をデコードするデコーダ52の出力がマルチプレクサ56により2入力信号58と合成される。図6の例では、2つのアドレス回路60a, 60bの出力を束ねて各行の制御信号線とする。

図7は、図3に示した単位セルP4-1-1の一構成例を示す。ここでは、  
5 単位セルP4-1-1の構成のみを示すが、他の単位セルP4-1-2、～についても同様の構成が採用されている。

同図に示すように、本実施例のMOS型固体撮像装置の単位セルは、入射光を検出するフォトダイオード62と、フォトダイオード62のカソードがゲートに接続され、その検出信号を増幅する増幅トランジスタ64と、増幅  
10 トランジスタ64のゲートとドレインの間に設けられ、フィードバック動作をするリセットトランジスタ66と、増幅トランジスタ64のドレインに接続され、信号を読み出す水平ラインを選択する垂直選択トランジスタ65からなる。

垂直アドレス回路5から水平方向に配線されている水平アドレス線6-1  
15 は、垂直選択トランジスタ65のゲートに接続され、信号を読み出すラインを選択する。同様に、垂直アドレス回路5から水平方向に配線されているリセット線7-1はリセットトランジスタ66のゲートに接続されている。

一般的に、増幅型MOS型固体撮像装置においては、増幅トランジスタ64の閾値電圧のバラツキが信号に重畳するため、フォトダイオード62の電  
20 位が同じでも出力信号が同じとはならず、写した画像を再生すると増幅トランジスタ64の閾値バラツキに対応する2次元状の雑音（場所的に固定されているという意味で、固定パターン雑音と称される）が発生する。このため、本実施例においては、単位セルにおいてリセットトランジスタ66をフィードバック動作させ、固定パターンノイズを低減するとともに、図1の水平選  
25 択トランジスタ12の前に、低減された固定パターン雑音をさらに抑圧するための雑音除去回路が設けられている。図3では、雑音除去回路としては電圧領域で信号と雑音との差分をとる相関二重サンプリング型を示したが、雑音除去回路の型は、相関二重サンプリング型には限定されず、種々の雑音除去回路が用いられている。

まず、本実施例の特徴である単位セルのフィードバック動作による増幅トランジスタ 64 の閾値電圧補正の原理を図 8 A～図 8 C を参照して説明する。

図 8 A はセル回路図、図 8 B、図 8 C は増幅トランジスタ 64 のポテンシャル図を表す。図 8 B は垂直選択トランジスタ 65 をオフし、リセットトランジスタ 66 をオンした状態で、垂直信号線 8 に基準電圧を与えたときのポテンシャルを示しており、ゲートチャネルを通してドレインに電子が流れ込むとドレイン電圧が下がってくる。

ドレイン・ゲート間はリセットトランジスタ 66 がオンされてつながっているため、ゲート電圧も下がり、流れ込む電子が減少してくる。最終的には  
10 図 8 C に示すように、ソースに与えられた基準電圧とチャネル電位がほぼ等しくなる状態になる。この状態はチャネル電位が外部から与えられた電圧になり、トランジスタの構造上のばらつきは現れない。

このように本実施例によれば、増幅トランジスタ 64 のゲートとドレインの間にフィードバックトランジスタ（リセットトランジスタ 66）を挿入し、  
15 ソースに一定電圧を与えるフィードバック動作により、閾値ばらつきを補正することができる。

次に、図 9 のタイミングチャートを参照して、このように構成された MOS 型固体撮像装置の動作について説明する。なお、負荷トランジスタ 9 の共通ドレイン端子 20、インピーダンス変換回路のトランジスタ 28 の共通ゲート端子 36、クランプトランジスタ 40 の共通ソース端子 38 は DC 駆動  
20 であるので、タイミングチャートから省略している。

垂直アドレス線 6-1 にハイレベルのアドレスパルスを印加すると、当該垂直アドレス線 6-1 に接続されている単位セル P4-1-1, P4-1-2, …の垂直選択トランジスタ 65 がオンとなり、増幅トランジスタ 64 と  
25 負荷トランジスタ 9-1, 9-2, …でソースフォロワ回路が構成される。

サンプルホールドトランジスタ 30-1, 30-2, …の共通ゲート 37 をハイレベルとしてサンプルホールドトランジスタ 30-1, 30-2, …をオンする。この後、クランプトランジスタ 40-1, 40-2, …の共通ゲート 42 をハイレベルとしてクランプトランジスタ 40-1, 40-2,

…をオンする。

次に、クランプトランジスタ40-1, 40-2, …の共通ゲート42をローレベルとしてクランプトランジスタ40-1, 40-2, …をオフする。このため、垂直信号線8-1, 8-2, …に現れている信号プラス雑音成分  
5 はクランプ容量32-1, 32-2, …に蓄積される。

この後、垂直アドレスパルスをローレベルに戻した後、リセット線7-1にハイレベルのリセットパルスを印加すると、当該リセット線7-1に接続されている単位セルP4-1-1, P4-1-2, …のリセットトランジスタ66がオンとなり、出力回路68の入力端子の電荷がリセットされる。

10 再び、垂直アドレス線6-1にハイレベルのアドレスパルスを印加すると、当該垂直アドレス線6-1に接続されている単位セルP4-1-1, P4-1-2, …の垂直選択トランジスタ65がオンとなり、増幅トランジスタ64と負荷トランジスタ9-1, 9-2, …でソースフォロワ回路が構成され、信号成分がリセットされた雑音成分のみが垂直信号線8-1, 8-2, …に  
15 現れる。

前述したように、クランプ容量32-1, 32-2, …には信号プラス雑音成分が蓄積されているので、クランプノード41-1, 41-2, …には垂直信号線8-1, 8-2, …の電圧変化分、すなわち信号成分プラス雑音成分から雑音成分を差し引いた、固定パターン雑音のない信号電圧のみが現  
20 れる。

そして、サンプルホールドトランジスタ30-1, 30-2, …の共通ゲート37をローレベルとしてサンプルホールドトランジスタ30-1, 30-2, …をオフする。このため、クランプノード41-1, 41-2, …に現れている雑音のない電圧がサンプルホールド容量34-1, 34-2, …  
25 に蓄積される。

この後、水平選択トランジスタ12-1, 12-2, …に水平アドレスパルスを順次印加することにより、サンプルホールド容量34-1, 34-2, …に蓄積されている雑音のないフォトダイオード62の信号が出力端子（水平信号線）15から読み出される。

以下、同様に、垂直アドレス線 6-2, 6-3, ...について上述の動作を繰り返すことにより、2次元状に配置された全てのセルの信号を取り出すことが出来る。

ここで、図 9 のタイミングの先後関係を説明する。必須の順番は、次の 2 つある。

(1) サンプルホールドパルスの立ち上がり→クランプパルスの立ち下がり  
→1 番目の垂直アドレスパルスの立ち下がり→リセットパルスの立ち下がり  
→2 番目の垂直アドレスパルスの立ち上がり→サンプルホールドパルスの立ち下がり→2 番目の垂直アドレスパルスの立ち下がり

(2) クランプパルスの立ち下がり→リセットパルスの立ち上がり→リセットパルスの立ち下がり

なお、1 番目の垂直アドレスパルスの立ち上がり、サンプルホールドパルスの立ち上がり、クランプパルスの立ち上がりの前後関係は任意であるが、好ましくは上述した順番がよい。また、第 1 番目の垂直アドレスパルスの立ち下がりとりセットパルスの立ち上がりの前後関係も任意であるが、好ましくは上述した順番がよい。

このように、図 9 の動作によれば、クランプノード 41 には、信号（プラス雑音）がある時と、増幅トランジスタのゲートがリセットされて信号がない時の差の電圧が現れるため、何らかの理由により単位セルのフィードバック動作によって除去しきれなかった増幅トランジスタ 64 の閾値バラツキによる固定パターン雑音が補償される。すなわち、クランプトランジスタ 30、クランプ容量 31、サンプルホールドトランジスタ 40、サンプルホールド容量 34 からなる回路がノイズキャンセラとして作用する。

なお、本実施例のノイズキャンセラは、ソースフォロワ回路からなるインピーダンス変換回路 26、28 を介して垂直信号線 8 に接続されている。すなわち、垂直信号線はトランジスタ 26 のゲートに接続されている。このゲート容量は非常に小さいので、セルの増幅トランジスタ 64 は垂直信号線 8-1, 8-2, ...のみを充電するので、CR の時定数が短く、すぐに定常状態になる。そのため、リセットパルスの印加タイミングを早くすることがで

き、短時間でノイズキャンセル動作をさせることができる。テレビジョン信号の場合、ノイズキャンセル動作は水平ブランキング期間内に行う必要があり、短時間で正確にノイズキャンセルできることは大きな長所である。さらに、ノイズキャンセル動作に含まれる信号プラス雑音出力時と雑音出力時と  
5   で、単位セルから見たノイズキャンセラのインピーダンスが同じであるので、正確にノイズをキャンセルすることができる。

次に、本実施例の構造を説明する。

図3の回路構成から分るように、クランプ容量32とサンプルホールド容量34が直接接続されて近接しているので、これらを同一面上に積層して形成  
10   形成することができ、ノイズキャンセラ部を小型化できる。

具体的には、図10に示すように、シリコン基板72上に第1の絶縁膜74を介して第1の電極76を形成することにより、サンプルホールド容量34を構成し、さらに第1の電極76上に第2の絶縁膜78を介して第2の電極80を形成することにより、クランプ容量32を構成する。

15   この図からも明らかなように、第1の電極76が共通電極となり、クランプ容量32とサンプルホールド容量34が積層形成されているので、個別に形成する場合の1/2の面積で同じ容量値を得ることが可能となる。

本実施例においては、単位セルP4-1-1、P4-1-2、...や、垂直アドレス回路5、水平アドレス回路13などの周辺回路は、p<sup>-</sup>型基板上に  
20   p<sup>+</sup>型不純物層を形成した半導体基板上に形成されている。

図11A、図11Bは、このような半導体基板の断面図である。

図11Aに示すように、p<sup>-</sup>型基板81上にp<sup>+</sup>型不純物層82を形成した半導体基板にフォトダイオード83などのセル要素が形成されている。

半導体基板をこのような構成にすることにより、p<sup>-</sup>/p<sup>+</sup>境界にある拡散電位により、p<sup>-</sup>型基板81で発生した暗電流がp<sup>+</sup>側へ流れ込むのを一部防止することができる。  
25

電子の流れを詳しく解析した結果を簡単に述べると、p<sup>-</sup>側で発生した電子にとってp<sup>+</sup>不純物層82の厚さLがp<sup>+</sup>とp<sup>-</sup>の濃度の比倍すなわちL・p<sup>+</sup>/p<sup>-</sup>に見える。

すなわち、図 1 1 B に示すように、暗電流の発生源である  $p^-$  基板 8 1 からフォトダイオード 8 3 までの距離が  $p^+ / p^-$  倍遠くなったように見えることになる。暗電流は、基板深部から流れ込むもの以外にフォトダイオード 8 3 近傍の空乏層内で発生するものがあり、この空乏層内で発生する暗電流は、基板深部から流れ込む暗電流とほぼ同じ程度ある。空乏層の厚さは約  $1 \mu m$  程度であり、基板深部から流れ込む暗電流は約  $100 \mu m$  の深さからも流れてくる。この深さは  $p$  型半導体内部での電子の拡散距離と呼ばれているものである。この厚さの差にも関わらず暗電流が同等なのは、単位体積あたりの暗電流の発生確率が空乏層内部の方が高いためである。ここで、空乏層で発生する暗電流は原理的に信号電流と分離することができないので、暗電流の低減は基板深部から流れ込む成分を減ずることによってなされる。

また、 $p^-$  型基板 7 1 上に  $p^+$  型不純物層 7 2 を形成した半導体基板にセルを形成するので、暗電流が発生することによる基板電位の変動を防止することができ、 $p$  型基板は厚いため、抵抗が低く、後述するように、雑音除去回路を確実に動作させることができる。

また、素子温度が上昇すると基板深部からの成分の方が急激に増加するので、これが重要である。その目安は、基板深部からの成分が空乏層で発生した成分よりも十分小さいことであり、具体的には、基板深部からの暗電流が空乏層内部からのものに比べて約 1 桁下であればいい。すなわち、 $p^+ / p^-$  を 10 に設定して基板深部からのものを約  $1 / 10$  にすればいい。

さらに、基板深部からの暗電流は、 $n$  型基板と  $p$  型ウェルとで構成される半導体基板ではほぼ全くないといってよいが、このような半導体基板と同じレベルにするためには  $p^+ / p^-$  を 100 に設定して基板深部からの暗電流を約  $1 / 100$  にする必要がある。

従来の実績のある CCD では、 $n$  型の埋め込みチャネルの不純物濃度が約  $10^{16} \text{ cm}^{-3}$  程度であり、この埋め込みチャネルの拡散層を安定して製造するための埋め込みチャネルを囲む  $p$  型層（ここでは  $p$  型基板）の不純物濃度は約  $10^{15} \text{ cm}^{-3}$  である。

$p^+$ 層の濃度は $p^+/p^-$ を10にする場合は約 $10^{16} \text{ cm}^{-3}$ 程度、 $p^+/p^-$ を100にする場合は約 $10^{17} \text{ cm}^{-3}$ 程度となり、n型の埋め込みチャネルの不純物濃度の約 $10^{16} \text{ cm}^{-3}$ と同程度又は1桁逆転してしまう。

このため、従来実績のあるCCDではこのような不純物濃度の $p^+$ 層を使うことは考えられなかった。また、 $p^-$ 層の濃度を下げると基板のシート抵抗が高くなるという問題が出てくる。

しかしながら、増幅型のMOS撮像装置ではCCDの埋め込みチャネルがないため $p^-$ 層の濃度を下げずに $p^+/p^-$ の値をある程度自由に設定できる。

そこで、p型ウェルの抵抗を下げ、n型基板とp型ウェルとで構成される半導体基板の構造を改善することによってもセルを構成することができる。

図12は、n型基板85上にシート抵抗の低い $p^+$ ウェル86を用いた単位セルの断面図である。また、図13は、CCDの単位セルの断面図を示す。

CCDの単位セルのn型基板87、p型ウェル86、n型埋め込みチャネル89の不純物濃度は安定して製造を行うために、それぞれ約 $10^{14} \text{ cm}^{-3}$ 、約 $10^{15} \text{ cm}^{-3}$ 、約 $10^{16} \text{ cm}^{-3}$ 程度にしてある。

n型フォトダイオード90の不純物濃度はある程度自由に設定できるため製造上の制約はあまりない。p型ウェル86のシート抵抗は上記の不純物濃度では約 $100 \text{ k}\Omega/\square$ 程度の値である。CCDは、前述のようにこのような高い値でも雑音が非常に小さい。

一方、増幅型のMOS撮像装置で雑音除去回路を使用する場合、このp型ウェルのシート抵抗は非常に重要である。何故ならば、リセットパルスによるp型ウェル86の電位の擾乱が収まる時間がこの装置を応用するシステムにマッチングしなければならないからである。

現行のテレビ方式であるNTSC方式では、雑音除去回路を動作させるのは水平帰線期間である約 $11 [\mu\text{s}]$ の間である。この時間のあいだにp型ウェル86の電位の擾乱が $0.1 [\text{mV}]$ 程度まで収まる必要がある。

この $0.1 [\text{mV}]$ という非常に小さい値は、CCDの雑音電圧出力がこの程度であることから起因している。 $11 [\mu\text{s}]$ という非常に短い時間で $0.1 [\text{mV}]$ という非常に小さい値に落ちつかせるには、詳しい解析による



と p 型ウェル 86 のシート抵抗を  $1\text{ k}\Omega/\square$  以下にしなければならない。これは従来の CCD の約  $1/100$  である。

そのためには、p 型ウェル 86 の不純物濃度を約 100 倍にする必要があり、p 型基板のところで前述したように、CCD では不可能な濃度である。

- 5 さらにハイビジョンテレビ方式では水平帰線期間が  $3.77\text{ }\mu\text{s}$  であり、p 型ウェル 86 のシート抵抗を  $300\Omega/\square$  以下にしなければならない。

他の変形例としては、高濃度の p<sup>+</sup>型サンドイッチ層を基板上に形成し、表面をそれより濃度の低い p 型層にすることが考えられる。

- 図 14 は、p<sup>-</sup>型基板 91 と p 型層 93 との間に p<sup>+</sup>型サンドイッチ層 92 を形成した半導体基板の構成を示す図である。また、図 15 は、n 型基板 95 と p 型層 97 との間に p<sup>+</sup>型サンドイッチ層 96 を形成した半導体基板の構成を示す図である。

このような p<sup>+</sup>型サンドイッチ層は高加速度のメガボルトイオン打ち込み機により実現できる。

- 15 上記 p 型層には、単位セルの構成要素であるフォトダイオード 83、トランジスタなどの他に、水平アドレス回路、垂直アドレス回路などの周辺回路も形成される。

- 図 16 は、フォトダイオード 83 の周囲を高濃度の p 型ウェル 103 で囲み、n 型基板 101 上の他の部分を他の p 型ウェル 102 で形成することにより構成される半導体基板の構成を示す図である。

このような構成を採用することにより、フォトダイオード 83 への暗電流の漏れ込みを防止することができる。なお、半導体基板 101 は、p<sup>-</sup>型基板であってもよい。

- さらに、セル周辺の水平アドレス回路や垂直アドレス回路の一部又は全部を形成する p 型ウェルの濃度は回路設計の方から決められており、セルの最適値とは異なるため撮像領域を形成する p 型ウェルとは別の p 型層にすることも考えられる。

図 17 は、n 型基板 105 上に撮像領域を構成する p 型ウェル 106 を形成するとともに、周辺回路部を構成する他の p 型ウェル 107 を別々に形成

した半導体基板の構成を示す図である。

このような構成とすることにより、各構成要素に適したp型ウェルを形成することができる。なお、上記n型基板105は、p<sup>-</sup>型基板であっても良い。

- 5     図18は、n型基板105上に撮像領域を形成するp<sup>+</sup>型サンドイッチ層108及び濃度の低いp型層109を形成するとともに、周辺回路部に他のp型ウェル107を形成したものである。

このような構成とすることにより、各構成要素に適したp型ウェルを形成することができ、フォトダイオードへの暗電流の漏れ込みを防止することができる。なお、上記n型基板105は、p<sup>-</sup>型基板であっても良い。

以上説明したように、本実施例によれば、増幅トランジスタ64のゲートとドレインの間にフィードバックトランジスタ（リセットトランジスタ66）を挿入し、ソースに一定電圧を与えるフィードバック動作により、閾値ばらつきを補正することができる。

- 15     さらに、単位セルの出力をノイズキャンセラを介して出力しているので、単位セルの増幅トランジスタの閾値バラツキに応じた固定パターン雑音をさらに抑えることができる。また、ノイズキャンセラにおいては、クランプ容量32-1、32-2、…（以下、これらを32と総称する。他の添え字付きの部材についても同様）とサンプルホールド容量34が直接接続されて近  
20     接しているので、これらを同一面上に積層して形成することができ、容量を小型化できる。

さらに、単位セルの出力をインピーダンス変換回路を介してノイズキャンセラに供給しているので、雑音出力時と信号プラス雑音出力時とで、単位セルから見たノイズキャンセラのインピーダンスがほぼ同一であるため、両出力時で雑音成分はほぼ同一となり、両者の差分をとると、正確に雑音出力を除去でき、信号成分のみ取り出すことが可能となり、正確にノイズをキャンセルすることができる。また、単位セルからノイズキャンセラを見ると、インピーダンス的にはゲート容量しか見えず、その容量は非常に小さいので、短時間に確実にノイズをキャンセルすることができる。

また、単位セルを形成する半導体基板として、p-型不純物基体と、p-型不純物基体上に形成されたp+型不純物層とからなる基板を用いることにより、単位セルに進入する暗電流を低減することができ、かつ、基板表面の電位を安定させることができるので、雑音除去回路を確実に動作させることができる。

次に、第1実施例において、ノイズキャンセラ回路部分を変形した実施例を説明する。

#### 第2実施例

図19は、本発明の第2実施例に係わる増幅型MOSセンサを用いた撮像装置の回路構成図である。単位セルP4-i-j付近の回路構成は第1実施例と同じである。

垂直信号線8-1, 8-2, ...に直列に分離トランジスタ202-1, 202-2, ...を接続し、分離トランジスタ202-1, 202-2, ...と水平選択トランジスタ12-1, 12-2, ...の間に増幅容量206-1, 206-2, ...が設けられている。すなわち、本実施例では、水平選択トランジスタの前にはノイズキャンセラは設けられていない。代わりに、増幅率を調整するための増幅容量が設けられている。

図20を参照して本実施例の動作を説明する。

垂直アドレス線6-1にハイレベルのアドレスパルスを印加するのとほぼ同時に、分離トランジスタ202の共通ゲート204にハイレベルのパルス印加して該トランジスタをオンする。これにより、単位セルの増幅トランジスタ64の出力が垂直信号線8を介して増幅容量206に伝達され、増幅された信号電荷が蓄積される。

その後、分離トランジスタ202の共通ゲート204をローレベルに戻し、分離トランジスタ202をオフする。

リセット線7-1にハイレベルのリセットパルスを与え、リセットトランジスタ66をオンさせ、次いで、垂直アドレス線6-1をローレベルに戻し、垂直選択トランジスタ65をオフすると、増幅トランジスタ64のチャネル電位が基準電圧と等しくなる。その後、水平選択トランジスタ12を順次オ

ンし、増幅容量 206 に蓄積された増幅信号電圧を順次読み出す。

このときの信号電荷の増幅率は増幅容量 206 の容量値を  $C_a$ 、フォトダイオード 62 の容量を  $C_s$  とすると、 $C_a / C_s$  となる。増幅率は従来型のもものと同等又はそれ以上にしたいので、 $C_a$  の値は垂直信号線 8 の容量  $C_v$  の値と同等又はそれ以上に設定する。

ここで、図 20 のタイミングの先後関係を説明する。必須の順番は、次の 2 つある。

(1) 垂直アドレスパルスの立ち上がり→分離トランジスタのゲートパルスの立ち下がり→リセットパルスの立ち上がり→垂直アドレスパルスの立ち下がり→リセットパルスの立ち下がり

(2) 分離トランジスタのゲートパルスの立ち上がり→分離トランジスタのゲートパルスの立ち下がり→リセットパルスの立ち上がり→リセットパルスの立ち下がり

なお、垂直アドレスパルスの立ち上がり、分離トランジスタのゲートパルスの立ち上がりの前後関係は任意である。

### 第 3 実施例

図 21 は、本発明の第 3 実施例に係わる増幅型 MOS センサを用いた撮像装置の回路構成図である。単位セル  $P4-i-j$  付近の回路構成は第 1 実施例と同じである。

垂直信号線 8-1, 8-2, ... の他端は、クランプ容量 131-1, 131-2, ..., サンプルホールドトランジスタ 133-1, 133-2, ..., 水平選択トランジスタ 12-1, 12-2, ... を介して信号出力端（水平信号線）15 に接続される。クランプ容量 131-1, 131-2, ... と、サンプルホールドトランジスタ 133-1, 133-2, ... との接続点（クランプノード 145-1, 145-2, ...）にはクランプトランジスタ 132-1, 132-2, ... のドレインが接続される。クランプトランジスタ 132-1, 132-2, ... のソースは共通ソース端子 141 に接続され、ゲートは共通ゲート端子 142 に接続される。サンプルホールドトランジスタ 133-1, 133-2, ... と、水平選択トランジスタ 12-1, 12-2,

…との接続点はサンプルホールド容量134-1, 134-2, …を介して接地される。

この実施例のタイミングチャートを図22に示す。ノイズキャンセル動作原理は図9と全く同じである。

#### 5 第4実施例

図23は、本発明の第4実施例に係わる増幅型MOSセンサを用いた撮像装置の回路構成図である。単位セルP4-i-j付近の回路構成は第1実施例と同じである。

第4実施例は、第1実施例のインピーダンス変換回路を第3実施例のノイズキャンセラに接続した例である。なお、クランプトランジスタ132の共通ソースは本実施例ではDC駆動している。

#### 第5実施例

図24は、本発明の第5実施例に係わる増幅型MOSセンサを用いた撮像装置の回路構成図である。単位セルP4-i-j付近の回路構成は第1実施例と同じである。

負荷トランジスタ9-1, 9-2, …とは反対側の垂直信号線8-1, 8-2, …の端部は、スライストランジスタ150-1, 150-2, …のゲートにそれぞれ接続されている。スライストランジスタ150-1, 150-2, …のソースにはスライス容量152-1, 152-2, …の一端が接続されており、スライス容量152-1, 152-2, …の他端はスライスパルス供給端子154に接続されている。スライストランジスタ150-1, 150-2, …のソース電位をリセットするために、スライストランジスタのソースとスライス電源端子158との間にスライスリセットトランジスタ156-1, 156-2, …が設けられ、このトランジスタ156-1, 156-2, …のゲートにスライスリセット端子160が接続されている。

スライストランジスタ150-1, 150-2, …のドレインには、スライス電荷転送容量162-1, 162-2, …が接続されている。また、スライストランジスタ150-1, 150-2, …のドレイン電位をリセットするために、そのドレインと蓄積ドレイン電源端子164との間にドレイン

リセットトランジスタ 166-1, 166-2, ... が設けられ、このトランジスタ 166-1, 166-2, ... のゲートにドレインリセット端子 168 が接続されている。さらに、スライストランジスタ 150-1, 150-2, ... のドレインは、水平アドレス回路 13 から供給される水平アドレスパルス  
5 により駆動される水平選択トランジスタ 12-1, 12-2, ... を介して信号出力端 15 に接続されている。

このように第 5 実施例の CMOS センサは第 3 図に示した第 1 実施例に対して、単位セル  $P4-i-j$  の構成は同じであるが、ノイズキャンセラの部分の構成が異なり、第 4 実施例のノイズキャンセラは、垂直信号線 8-1,  
10 8-2, ... に現れる電圧をスライストランジスタ 150 のゲート容量を介して電荷に変換し、電荷領域で引き算をすることにより雑音を抑圧することが特徴である。

このデバイスでは、スライス容量 152 の値を  $C_{sl}$  とすると、最終的に水平信号線 15 に読み出される電荷（第 2 のスライス電荷）は

$$15 \quad C_{sl} \times (V_{sch} - V_{0ch})$$

となり、信号があるときとリセットされ信号がないときの差に比例する電荷が現れるため、単位セル内の増幅トランジスタ 64 の閾値ばらつきによる固定パターン雑音が抑圧されるという特徴がある。このように、垂直信号線 8  
20 に現れる電圧を電荷に変換し、電荷領域で引き算をする回路構成もノイズキャンセラと呼ぶことができる。

#### 第 6 実施例

図 25 は、本発明の第 6 実施例に係わる増幅型 MOS センサを用いた撮像装置の回路構成図である。単位セル  $P4-i-j$  付近の回路構成は第 1 実施例と同じである。

25 第 6 実施例は図 3 に示した第 1 実施例からソースフォロワトランジスタからなるインピーダンス変換回路を省略した実施例である。

#### 第 7 実施例

図 26、図 27 は、本発明の第 7 実施例に係わる増幅型 MOS センサを用いた撮像装置の回路構成図である。単位セル  $P4-i-j$  付近の回路構成は

第1実施例と同じである。

本実施例は図21に示した第3実施例と共通する部分が多いが、異なる点は、信号プラス雑音出力時と雑音出力時との単位セル側から見たノイズキャンセラのインピーダンスの違いを補正するための容量C CMP P160-1, 5 160-2, ...が、クランプ容量131-1, 131-2, ...より撮像領域(単位セル)側に、垂直信号線8-1, 8-2, ...に対して並列に、スイッチ162-1, 162-2, ...を介して接続されていることである。補正容量160とスイッチ162は、図26の場合にはクランプ容量131と撮像領域の間に、また図27の場合には撮像領域と負荷トランジスタ9との間に  
10 接続されている。

このように本実施例によれば、雑音除去回路付きMOS型固体撮像素子において、垂直信号線8に補正容量160を設けることにより、雑音が発生する原因であった雑音除去動作中の容量変化を抑制することができ、より一層の雑音低下に寄与することが可能となる。すなわち、セルから見たインピー  
15 ダンスがフォトダイオード選択後の信号プラスノイズ出力時と、リセット終了後のノイズ出力時で同等になり、正確にノイズキャンセルができる。

なお、第7実施例の変形例として、図3に示した第1実施例、図23に示した第4実施例、図25に示した第6実施例のノイズキャンセラにおいて、補正用容量を接続してもよい。

20 第2実施例～第7実施例としては、第1実施例に対してノイズキャンセラ回路部分が異なる実施例を説明したが、次に、第1～第7実施例に対して単位セルの構成が異なる他の実施例を説明する。

#### 第8実施例

全体の構成は図3に示した第1実施例と同じであるので、図示省略する。  
25 ただし、図3の単位セルP4の代わりに図28に示した単位セルP5を用いることが特徴である。

本実施例の単位セルP5は、フィードバックトランジスタ(リセットトランジスタ)66がフィードバック容量212を介して増幅トランジスタ64のゲートに接続されている。

## 第 9 実施例

全体の構成は図 3 に示した第 1 実施例と同じであるので、図示省略する。  
ただし、図 3 の単位セル P 4 の代わりに図 29 に示した単位セル P 6 を用いることが特徴である。

- 5     本実施例の単位セル P 6 は、第 8 実施例の構成に加えて、増幅トランジスタ 64 のゲートとリセット線 7-1 の間に排出トランジスタ 214 が接続されている。排出トランジスタ 214 のゲートは共通ゲート線 216-1 を介して垂直アドレス回路 5 に接続されている。

## 第 10 実施例

- 10    全体の構成は図 3 に示した第 1 実施例と同じであるので、図示省略する。  
ただし、図 3 の単位セル P 4 の代わりに図 30 に示した単位セル P 7 を用いることが特徴である。

- 本実施例の単位セル P 7 は、第 1 実施例の構成に加えて、増幅トランジスタ 64 のゲート（とリセットトランジスタの接続点）とフォトダイオード 6  
15    2 との間に転送トランジスタ 218 が接続されている。転送トランジスタ 218 のゲートは共通ゲート線 220-1 を介して垂直アドレス回路 5 に接続されている。

- 第 8 実施例～第 10 実施例も第 1 実施例と同様にノイズキャンセラ部分を変形することができる。すなわち、図 3～図 32 の説明は第 8 実施例～第 1  
20    0 実施例にも等しく適用できる。

- 本発明は上述した実施例に限定されず、種々変形して実施可能である。例えば、単位セルの増幅トランジスタを閾値バラツキがないように製造できれば、固定パターン雑音は発生しないので、ノイズキャンセラは省略することができる。あるいは、固定パターン雑音が発生しても、画質に影響が無ければ、同じくノイズキャンセラは省略することができる。  
25

      負荷トランジスタのゲートとソースは同一の電源ラインに接続されているが、別々の電源に接続してもよい。これにより、流れる電流を制御することができ、消費電力を下げるができる。



- 各実施例のノイズキャンセラにおいては、入力信号がないときに読み出す信号電流（雑音成分のみ）が小さい方が雑音が少ないので、蓄積ドレイン電源端子に印加されている電圧とビデオバイアス電圧とをほぼ等しくすることが好ましい。ビデオバイアス電圧とは、水平信号線 15 から信号を電流で読み出すときに水平信号線 15 がほぼ固定される電圧である。これを実現した変形例を図 31 に示す。出力信号線 15 にオペアンプ 176 が接続され、オペアンプ 176 の入出力端間に負荷抵抗 178 が接続される。これによると、信号電流が強制的に負荷抵抗 178 に流され、水平信号線 15 は仮想的にある電圧、すなわちビデオバイアス電圧に固定される。
- 10 さらに、単位セルは 2 次元マトリクス状に配列した実施例を説明したが、本発明は単位セルを 1 次元アレイ状に配列する撮像装置にも適用できることは言うまでもない。

#### 産業上の利用可能性

- 15 以上のように本発明によれば、増幅型の MOS 型固体撮像装置において、増幅トランジスタの閾値電圧のばらつきに起因する 2 次元状の固定パターン雑音を抑圧することである。

## 請求の範囲

1. 配列されている多数の単位セルと、単位セルを選択する手段とを具備するMOS型固体撮像装置において、  
前記単位セルは
- 5 光電変換部と、  
前記光電変換部がそのゲートに接続され、光電変換部の出力信号を増幅して単位セルから出力する増幅トランジスタと、  
前記選択手段がそのゲートに接続され、前記増幅トランジスタを選択的に導通させる選択トランジスタと、
- 10 前記増幅トランジスタと選択トランジスタの接続点と前記増幅トランジスタのゲートとの間に接続され、前記増幅トランジスタのゲートを選択的にリセットするリセットトランジスタとを具備することを特徴とするMOS型固体撮像装置。  
2. 単位セルは前記リセットトランジスタと前記増幅トランジスタのゲートとの間に接続される容量をさらに具備することを特徴とする請求の範囲第1項記載のMOS型固体撮像装置。
- 15 3. 単位セルは前記増幅トランジスタのゲートと前記リセットトランジスタの間に接続される電荷排出トランジスタをさらに具備することを特徴とする請求の範囲第2項記載のMOS型固体撮像装置。
- 20 4. 単位セルは前記リセットトランジスタと前記増幅トランジスタとの接続点と前記光電変換部との間に接続される転送トランジスタをさらに具備することを特徴とする請求の範囲第1項記載のMOS型固体撮像装置。
5. 多数の単位セルの増幅トランジスタの増幅特性のバラツキを補償する手段をさらに具備することを特徴とする請求の範囲第1項記載のMOS型固体撮像装置。
- 25 6. 前記補償手段は前記単位セルの出力から雑音成分のみを減算するノイズキャンセラを具備することを特徴とする請求の範囲第5項記載のMOS型固体撮像装置。

7. 前記補償手段は前記単位セルの出力を表す電荷から雑音成分のみを表す電荷を減算するノイズキャンセラを具備することを特徴とする請求の範囲第5項記載のMOS型固体撮像装置。

5 8. 前記補償手段は、前記単位セルの出力信号が供給されるソースフォロ  
ワ回路と、ソースフォロワ回路の出力信号がサンプルホールドトランジスタ、  
クランプ容量を介して供給されるサンプルホールド容量と、サンプルホールド容量とクランプ容量との接続点に接続され、接続点をオン・オフするサンプルホールドトランジスタとを具備することを特徴とする請求の範囲第5項記載のMOS型固体撮像装置。

10 9. 前記サンプルホールド容量とクランプ容量とは積層されることを特徴とする請求の範囲第8項記載のMOS型固体撮像装置。

10. 前記補償手段は、前記単位セルの出力信号がクランプ容量、サンプルホールドトランジスタを介して供給されるサンプルホールド容量と、クランプ容量とサンプルホールドトランジスタとの接続点に接続され、クランプ  
15 容量をオン・オフするクランプトランジスタとを具備することを特徴とする請求の範囲第5項記載のMOS型固体撮像装置。

11. 前記補償手段は、クランプ容量のオン・オフ時のインピーダンスの差を小さくする補正手段を具備することを特徴とする請求の範囲第10項記載のMOS型固体撮像装置。

20 12. 前記補正手段は、クランプトランジスタのオフ時にクランプ容量を増加するための補正容量を具備することを特徴とする請求の範囲第11項記載のMOS型固体撮像装置。

13. 前記補償手段は、前記単位セルの出力信号が供給されるソースフォロワ回路と、ソースフォロワ回路の出力信号がクランプ容量、サンプルホールドトランジスタを介して供給されるサンプルホールド容量と、クランプ容量とサンプルホールドトランジスタとの接続点に接続され、クランプ容量を  
25 オン・オフするクランプトランジスタとを具備することを特徴とする請求の範囲第5項記載のMOS型固体撮像装置。

1 4. 前記補償手段は、前記単位セルの出力信号がゲートに供給されるスライストランジスタと、スライストランジスタのソースに接続されるスライス容量及びスライスリセットトランジスタと、スライストランジスタのドレインに接続されるスライス電荷転送容量及びドレインリセットトランジスタとを具備することを特徴とする請求の範囲第 5 項記載の MOS 型固体撮像装置。

1 5. 前記補償手段は、前記単位セルの出力信号がサンプルホールドトランジスタ、クランプ容量を介して供給されるサンプルホールド容量と、サンプルホールド容量とクランプ容量との接続点に接続され、接続点をオン・オフするサンプルホールドトランジスタとを具備することを特徴とする請求範囲第 5 項記載の MOS 型固体撮像装置。

1 6. フォトダイオード、このフォトダイオードの出力がゲートに入力される増幅トランジスタ、この増幅トランジスタと直列に接続された垂直選択トランジスタ、及び前記増幅トランジスタのドレインとゲートの間に接続されフォトダイオードの信号を外部へ排出するリセットトランジスタとからなる単位セルを行列 2 次元状に配列してなる撮像領域と、

前記垂直選択トランジスタのゲートに接続され行方向に配置された複数の垂直アドレス線と、

これらの垂直アドレス線を駆動する垂直アドレス回路と、

2 0 前記増幅トランジスタの電流を読み出す列方向に配置された複数の垂直信号線と、

これらの垂直信号線の一端に設けられた複数の負荷トランジスタと、

前記垂直信号線他端に設けられた複数の水平選択トランジスタと、

2 5 これらの水平選択トランジスタのゲートに順次選択パルス信号を与える水平アドレス回路と、

前記水平選択トランジスタを介して前記垂直信号線から信号電流を読み出す水平信号線とを具備する MOS 型固体撮像装置。

1 7. 前記垂直選択トランジスタをオンし、前記増幅トランジスタから増幅信号を読み出す動作の終了後に、前記リセットトランジスタをオンし前記

垂直選択トランジスタをオフし、フィードバック回路動作により、前記増幅トランジスタのゲートのチャネル電位を、前記負荷トランジスタのゲートをオンすることにより前記垂直信号線に与えられた前記負荷トランジスタのソース電位に設定する制御手段をさらに具備することを特徴とする請求の範囲

5 第16項記載のMOS型固体撮像装置。

18. 前記増幅トランジスタのゲートと前記リセットトランジスタとの間に接続される容量をさらに具備することを特徴とする請求の範囲第16項記載のMOS型固体撮像装置。

10 19. 前記増幅トランジスタのゲートに接続された排出トランジスタをさらに具備することを特徴とする請求の範囲第18項記載のMOS型固体撮像装置。

20. 前記フォトダイオードと前記増幅トランジスタのゲートとの間に接続された転送トランジスタをさらに具備することを特徴とする請求の範囲第16項記載のMOS型固体撮像装置。

15 21. フォトダイオード、このフォトダイオードの出力がゲートに入力される増幅トランジスタ、この増幅トランジスタと直列に接続された垂直選択トランジスタ、及び前記増幅トランジスタのドレインとゲートの間に接続されフォトダイオードの信号を外部へ排出するリセットトランジスタとからなる単位セルを行列2次元状に配列してなる撮像領域と、

20 前記垂直選択トランジスタのゲートに接続され行方向に配置された複数の垂直アドレス線と、

これらの垂直アドレス線を駆動する垂直アドレス回路と、

前記増幅トランジスタの電流を読み出す列方向に配置された複数の垂直信号線と、

25 これらの垂直信号線の一端に設けられた複数の負荷トランジスタと、

前記垂直信号線他端に、分離トランジスタを介して設けられた複数の水平選択トランジスタと、

前記垂直信号線他端に並列に接続されるホールド容量と、

これらの水平選択トランジスタのゲートに順次選択パルス信号を与える水平アドレス回路と、

前記水平選択トランジスタを介して前記垂直信号線から信号電流を読み出す水平信号線とを具備するMOS型固体撮像装置。

- 5      22. 前記ホールド容量の容量値が前記垂直信号線の容量値とほぼ同等又はそれ以上であることを特徴とする請求の範囲第21項記載のMOS型固体撮像装置。

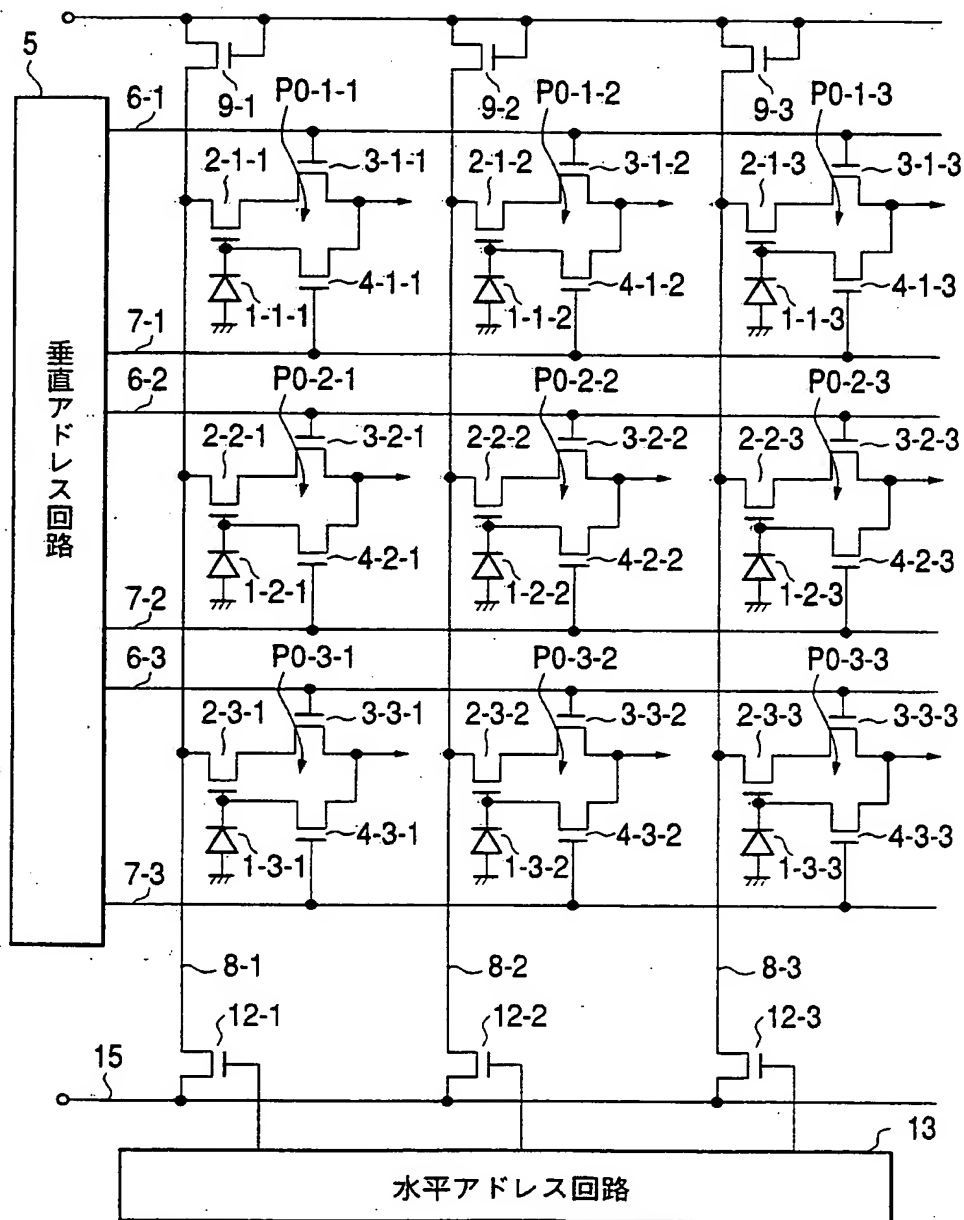


FIG.1

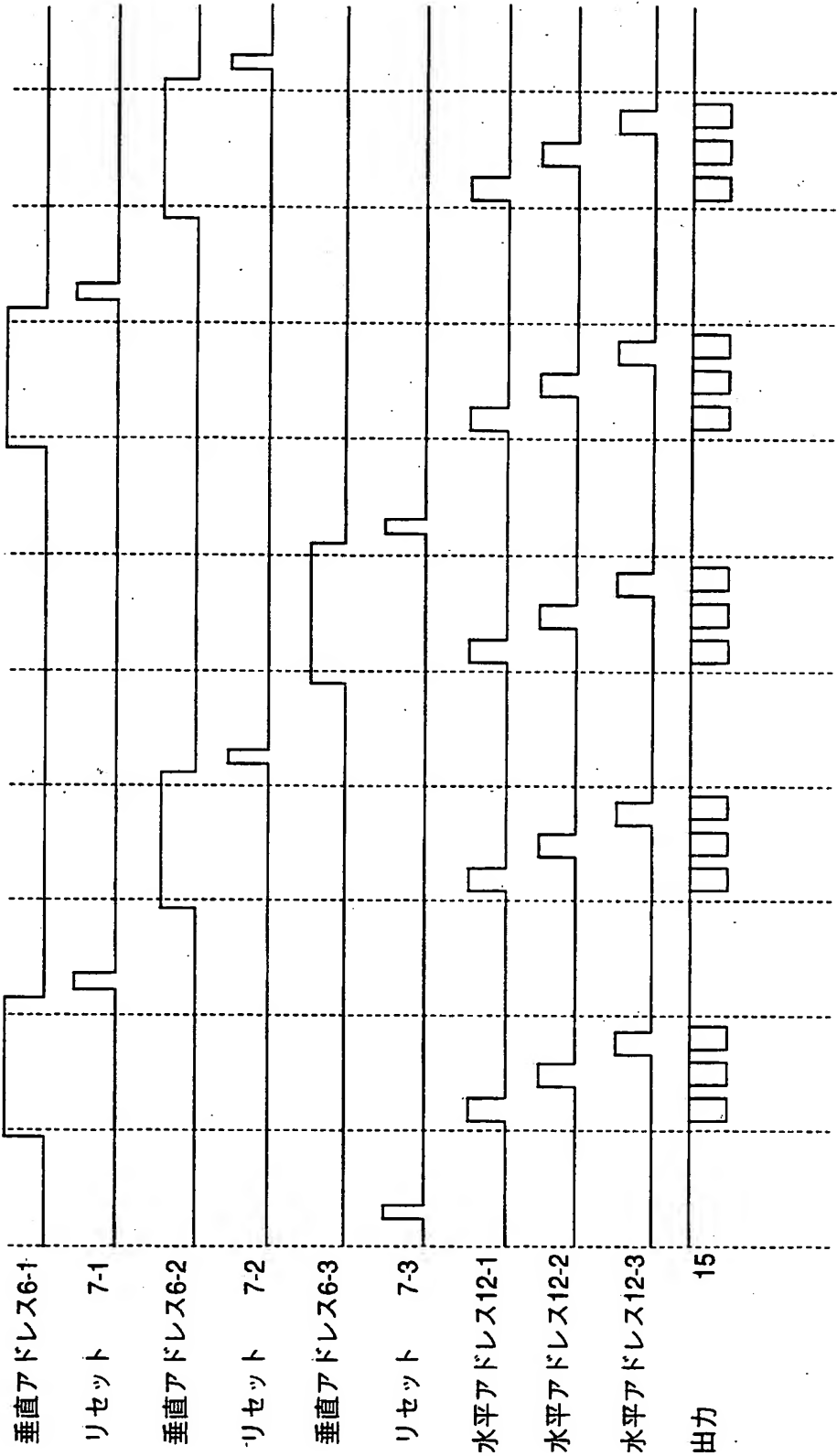


FIG.2



3 / 24

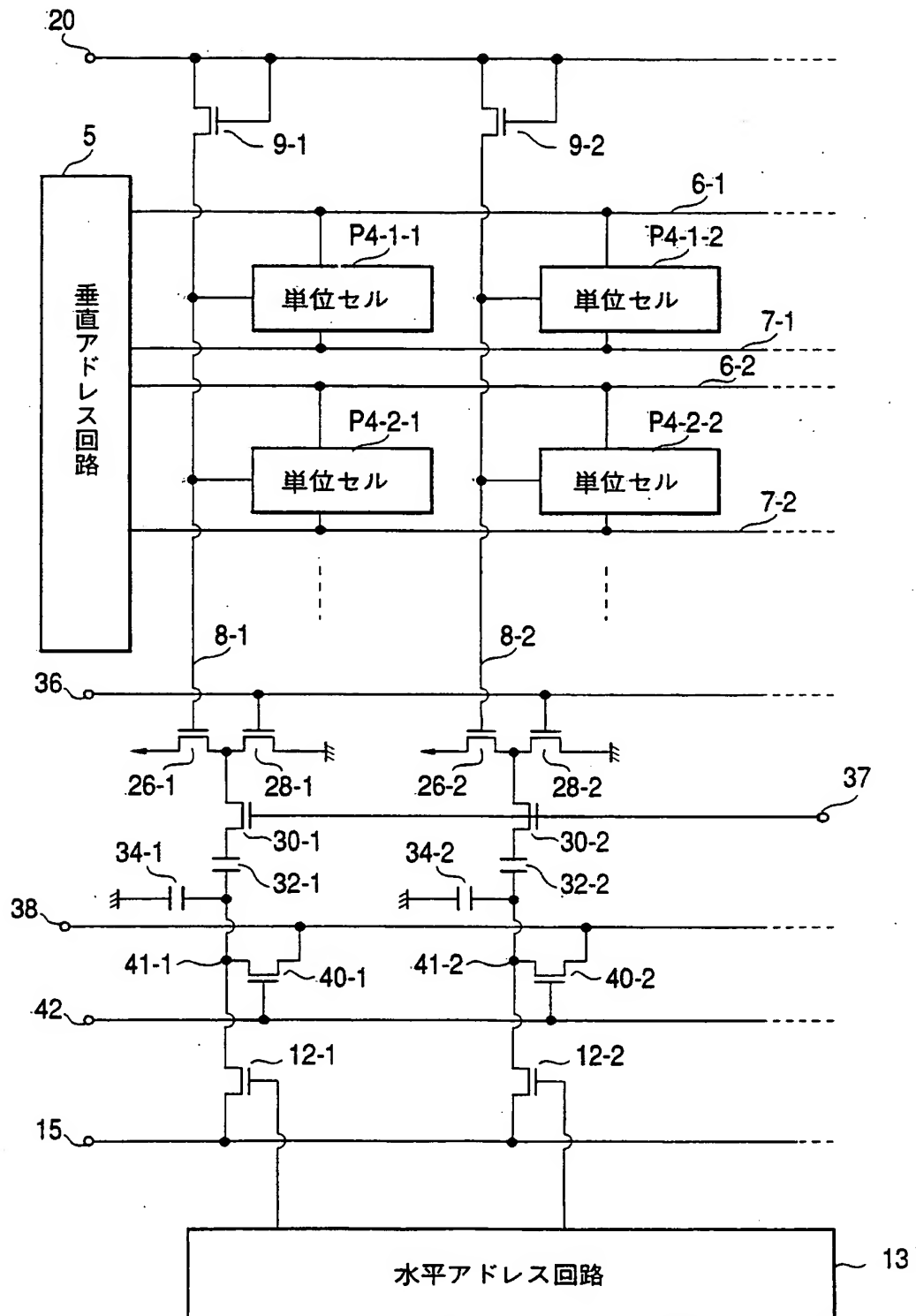


FIG.3

4 / 24

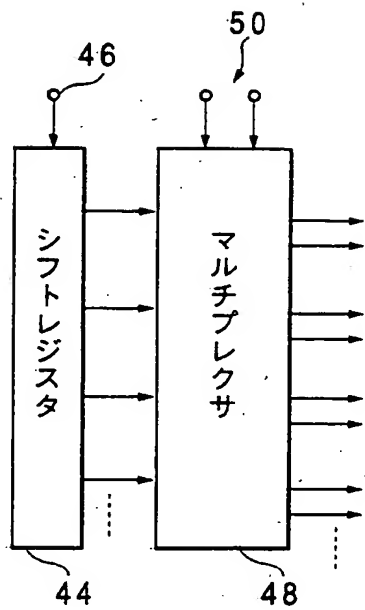


FIG. 4

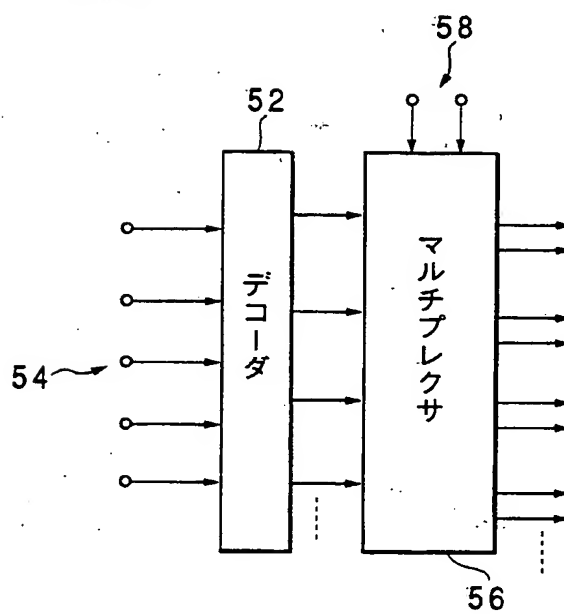


FIG. 5

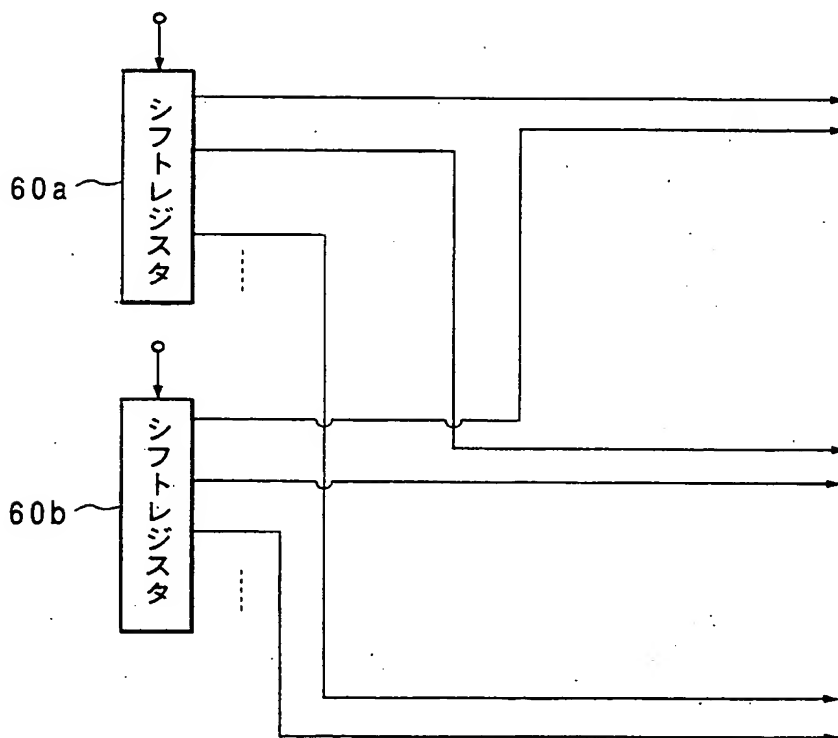


FIG. 6

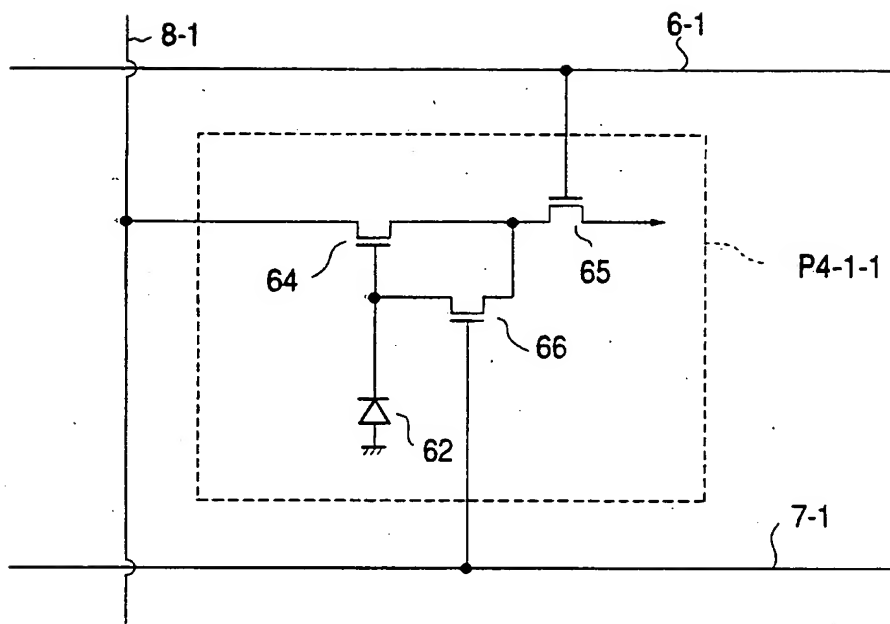


FIG.7

6 / 24

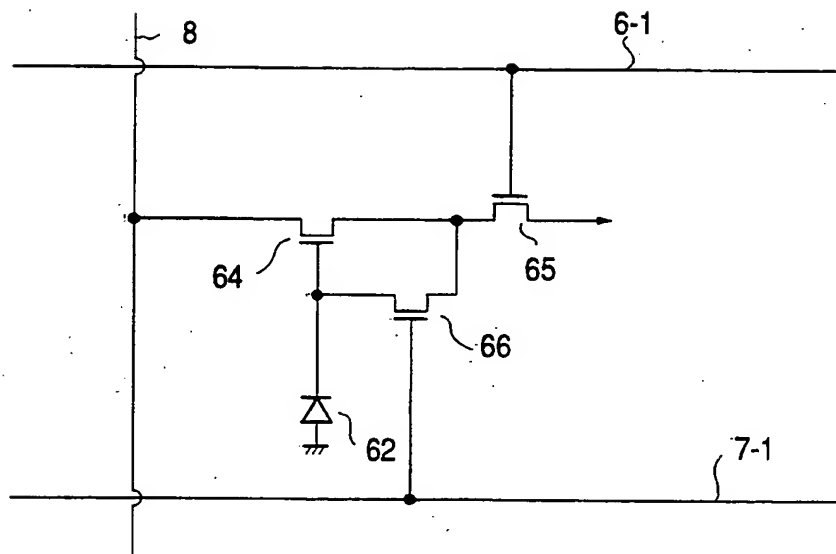


FIG.8A

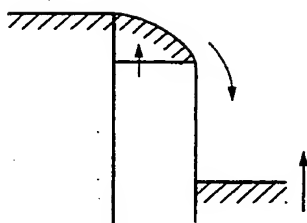


FIG.8B

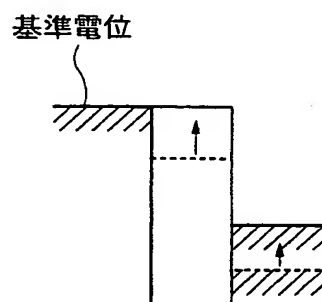


FIG.8C

7/24

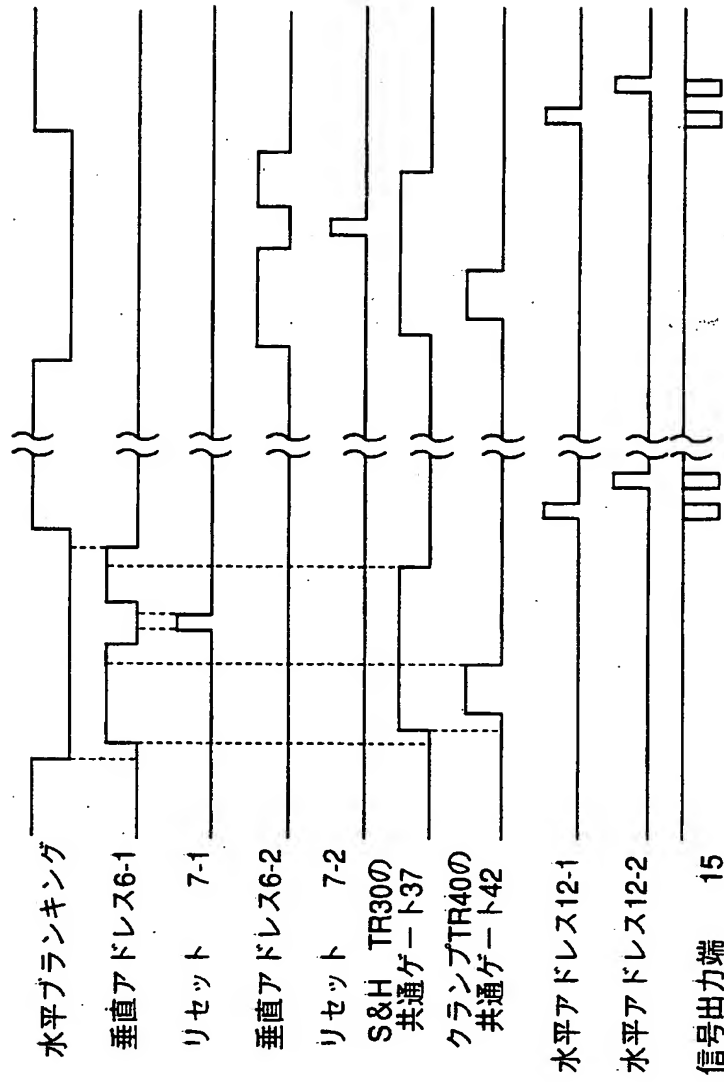


FIG.9

8/24

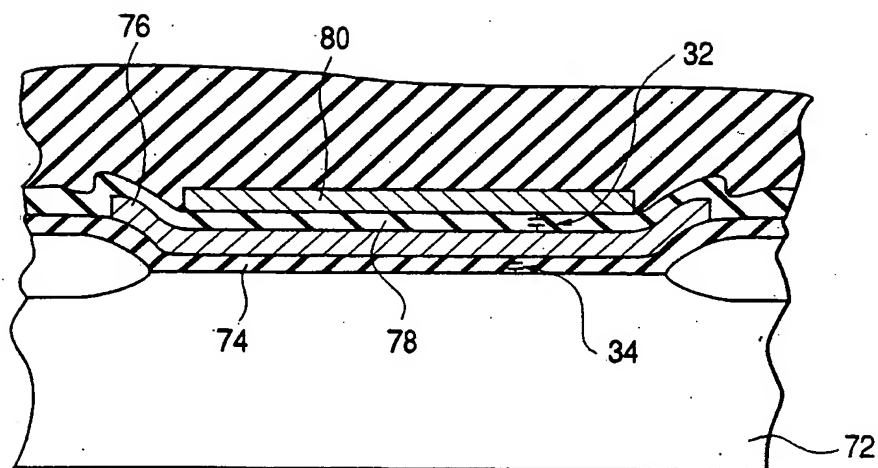


FIG.10

9/24

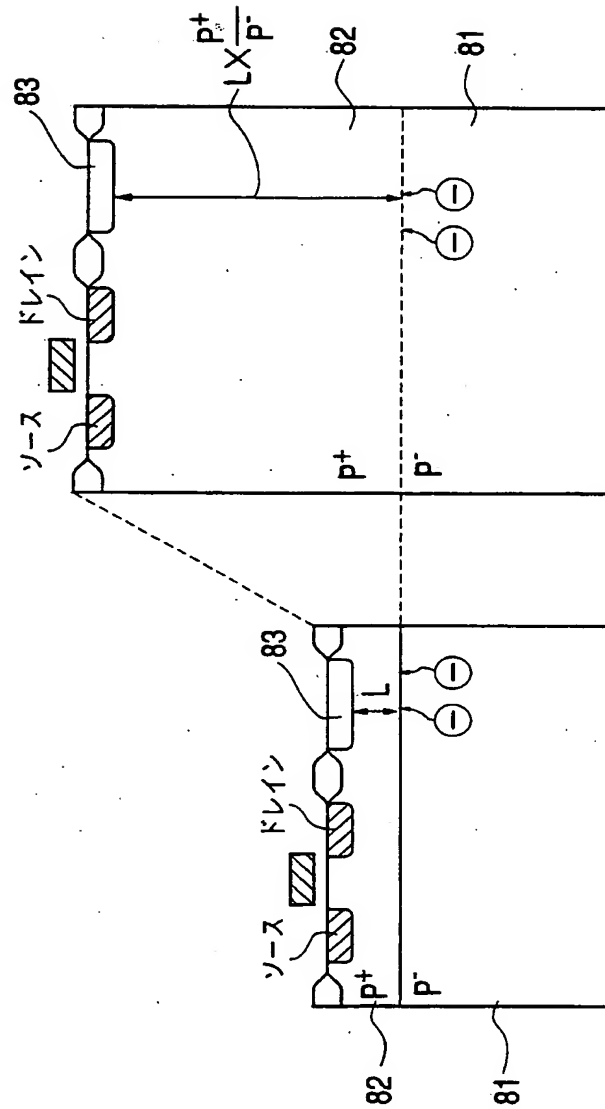


FIG.11B

FIG.11A

10/24

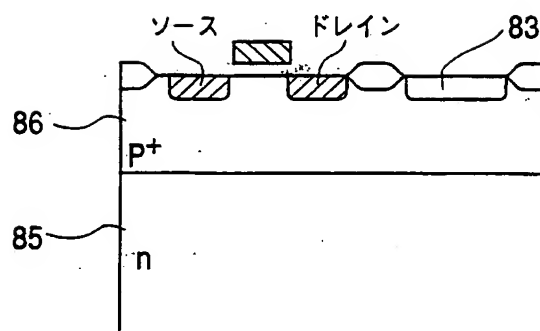


FIG. 12

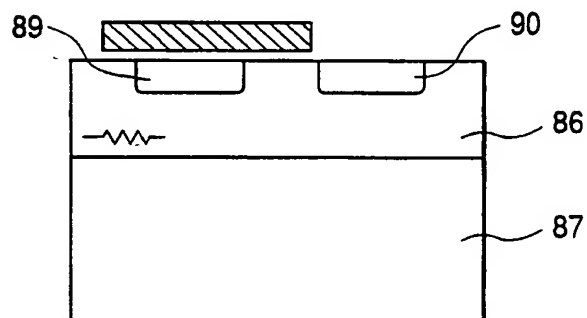


FIG. 13

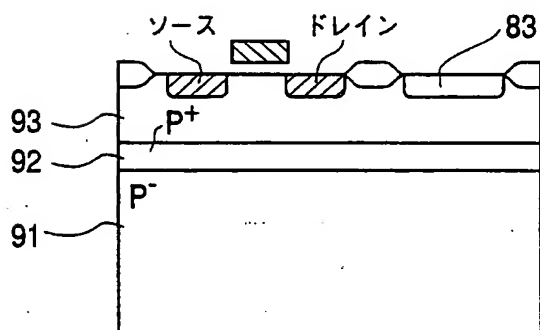


FIG. 14



11/24

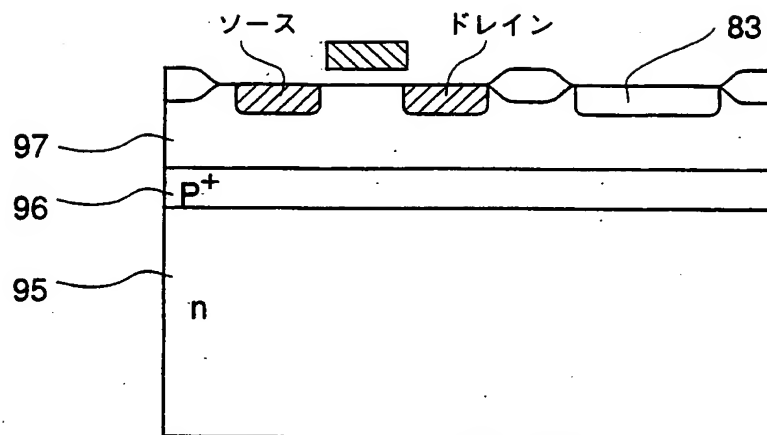


FIG.15

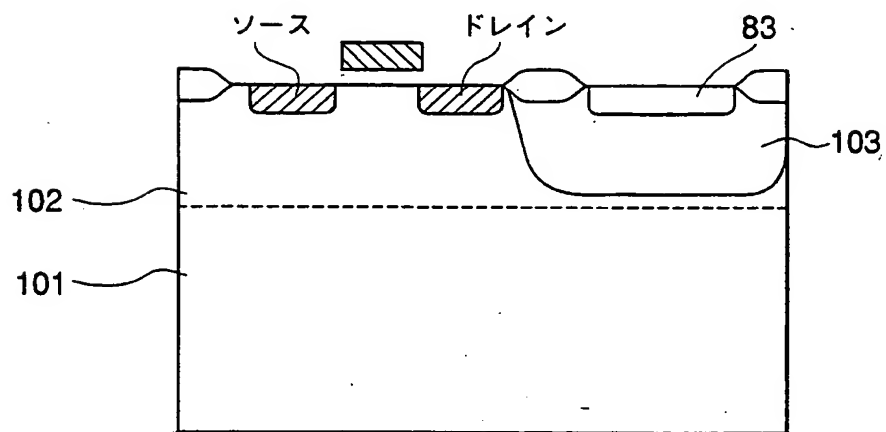


FIG.16

12/24

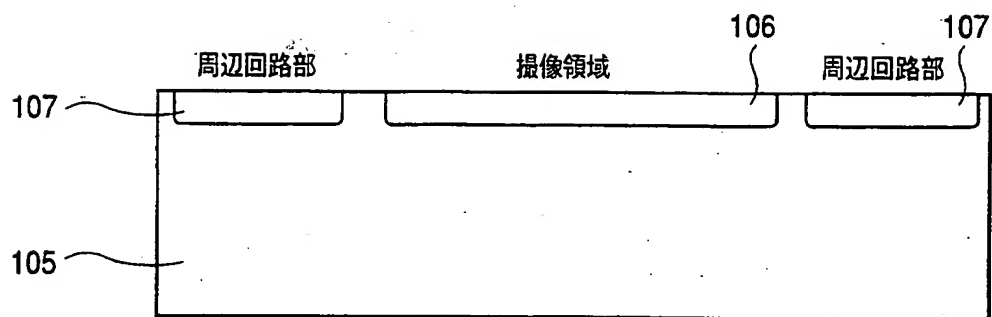


FIG.17

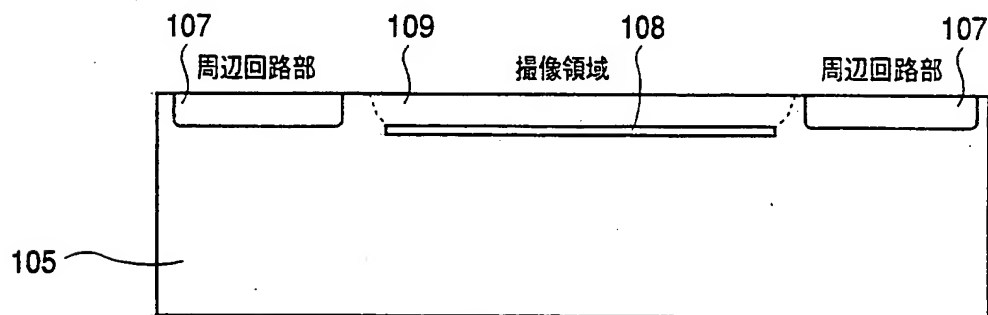


FIG.18

13 / 24

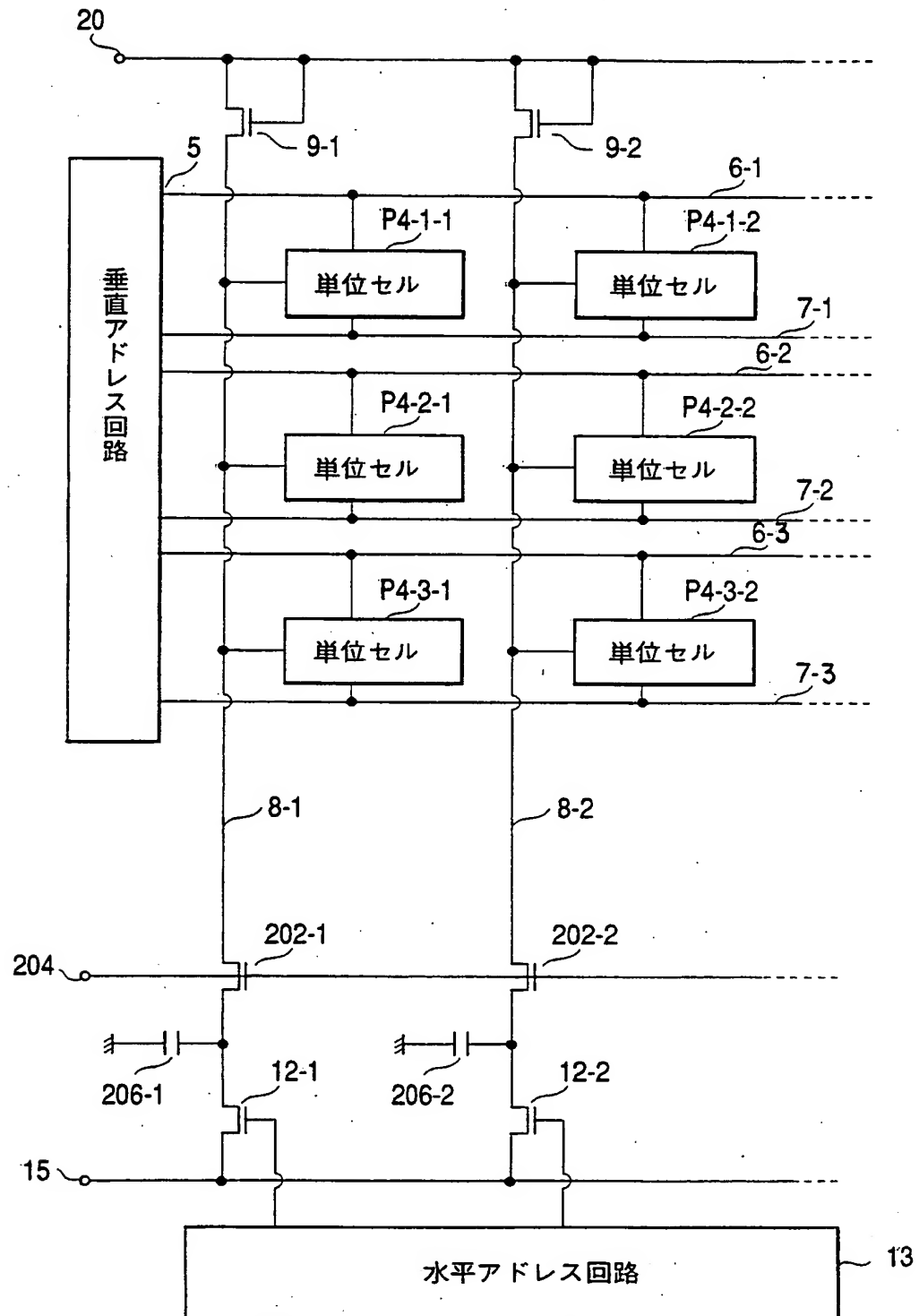


FIG.19

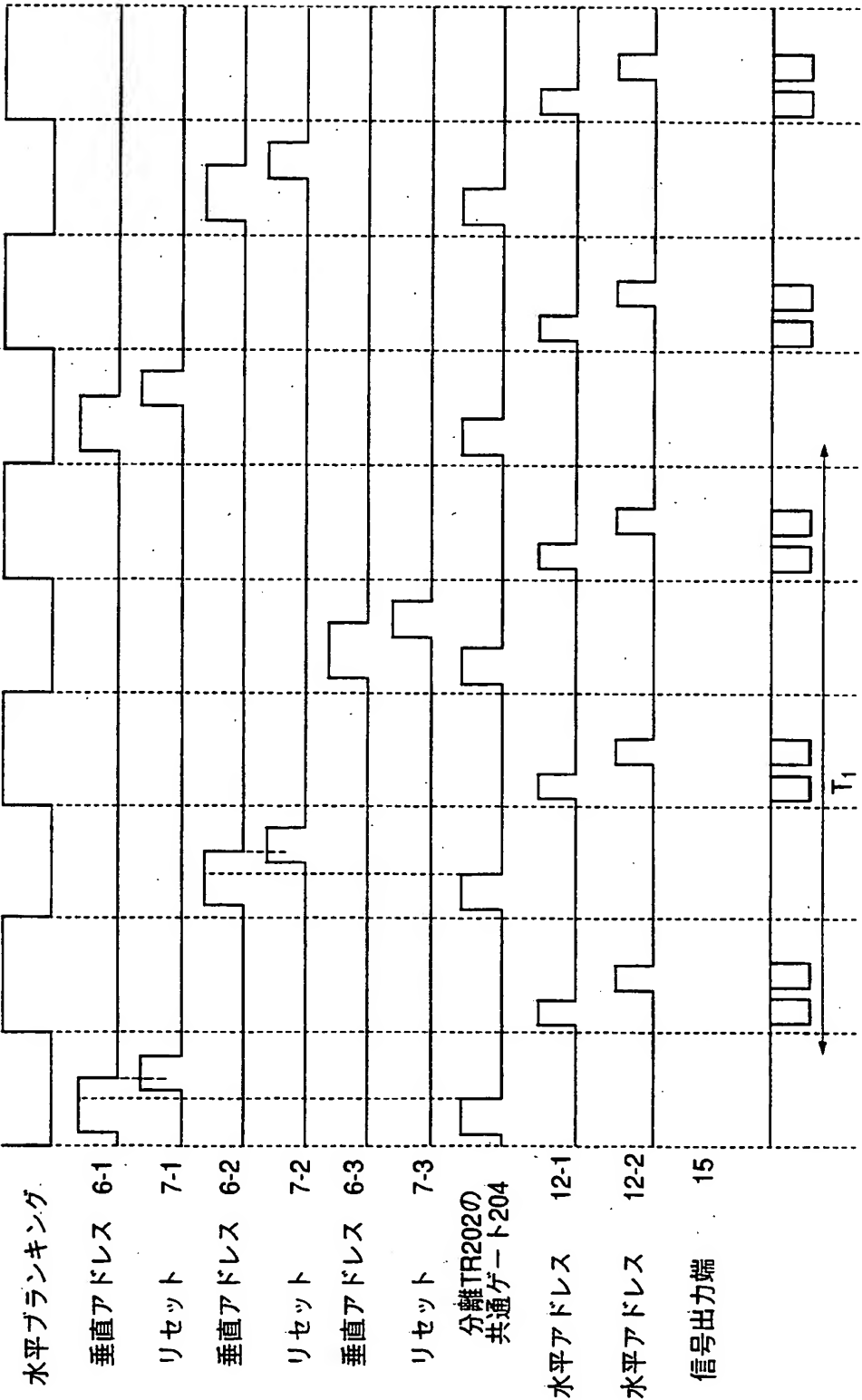


FIG.20

15 / 24

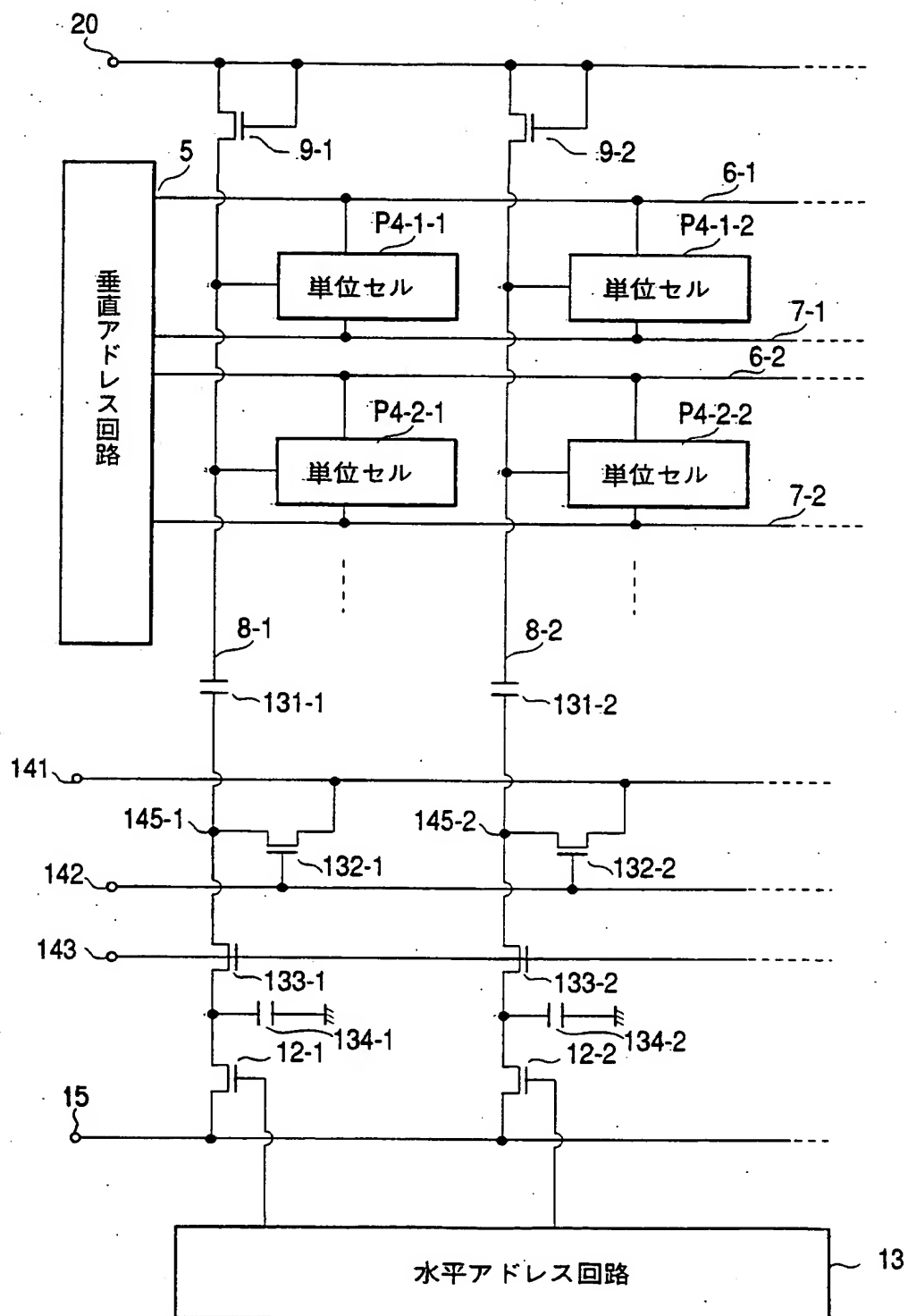


FIG.21

16/24

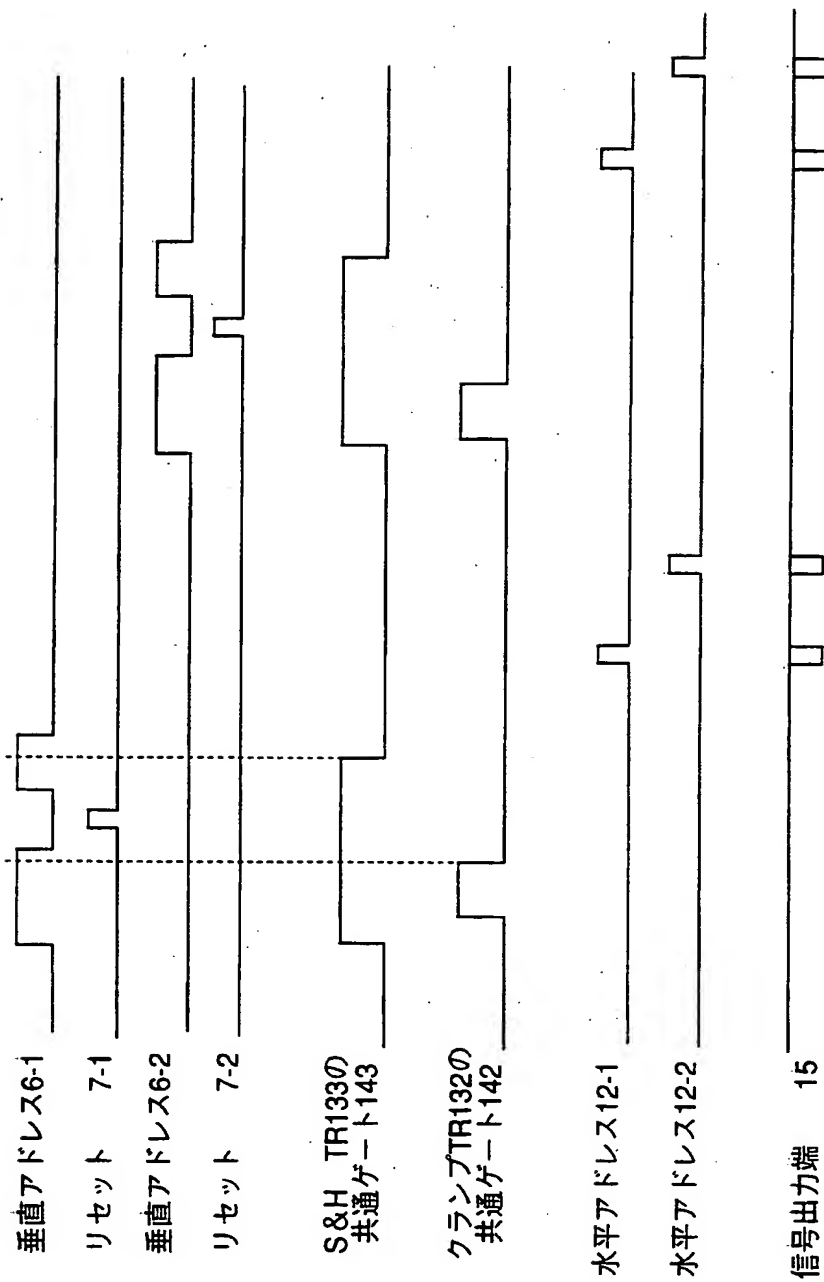


FIG.22

17 / 24

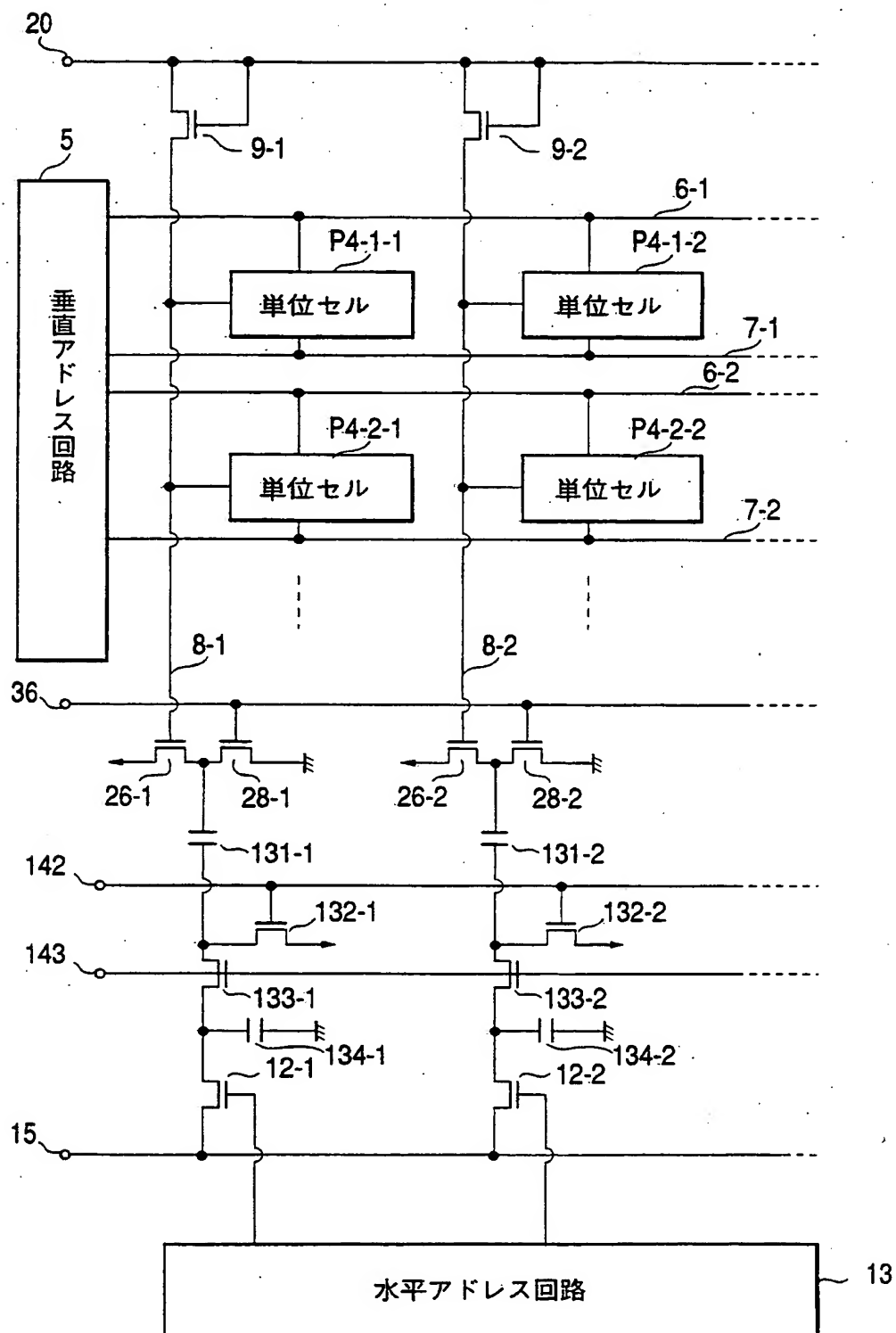


FIG.23

18 / 24

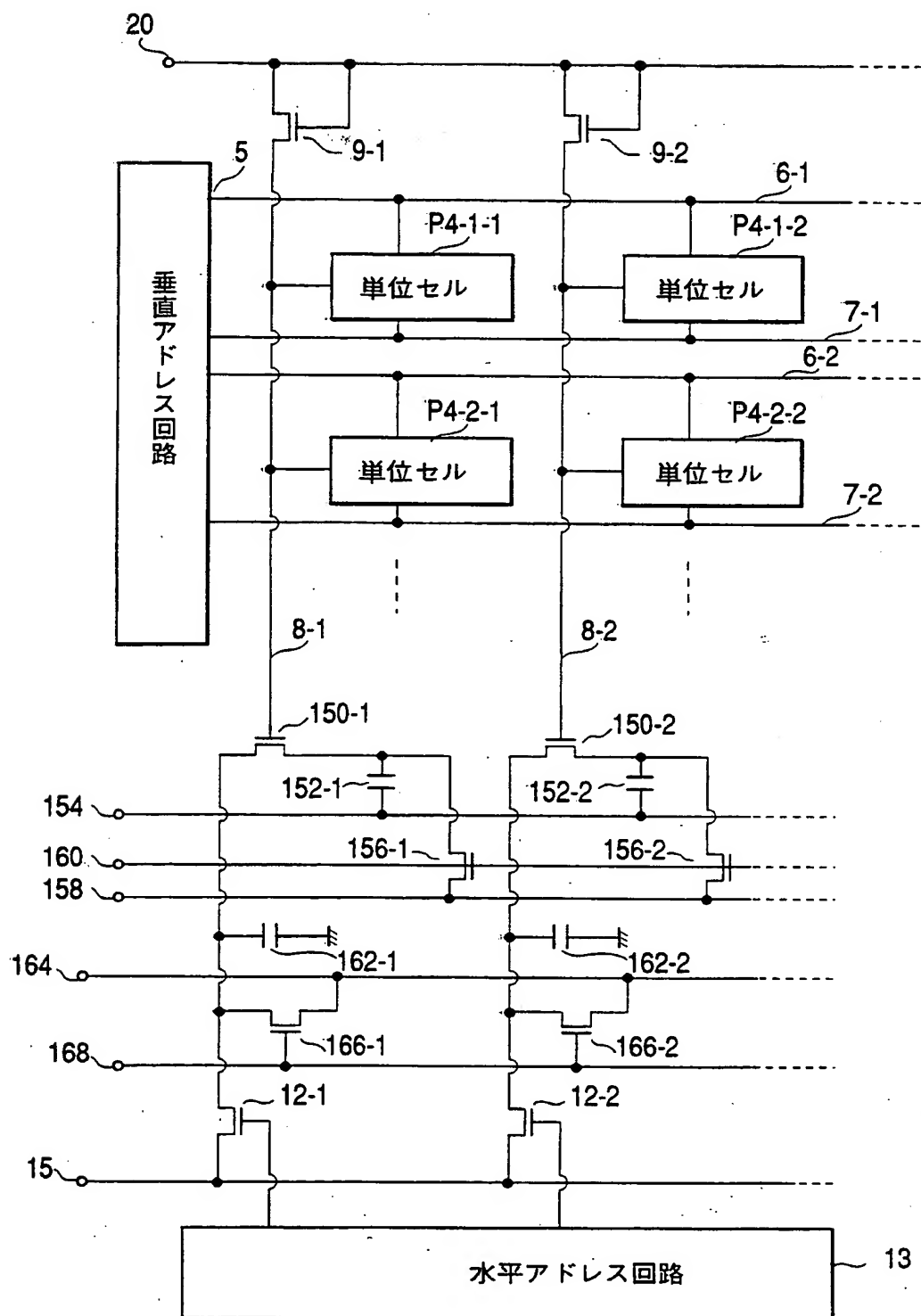


FIG.24



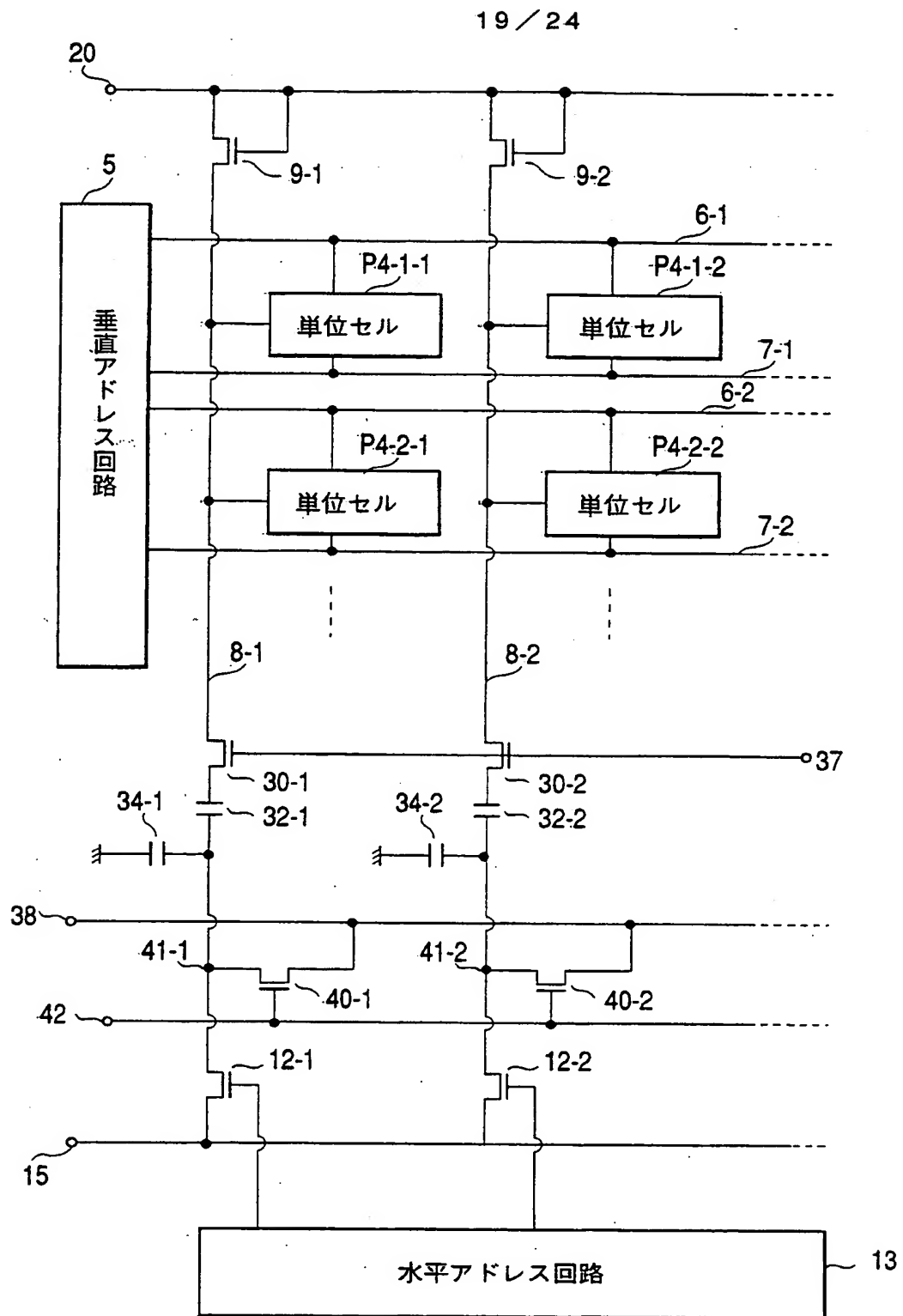


FIG.25

20 / 24

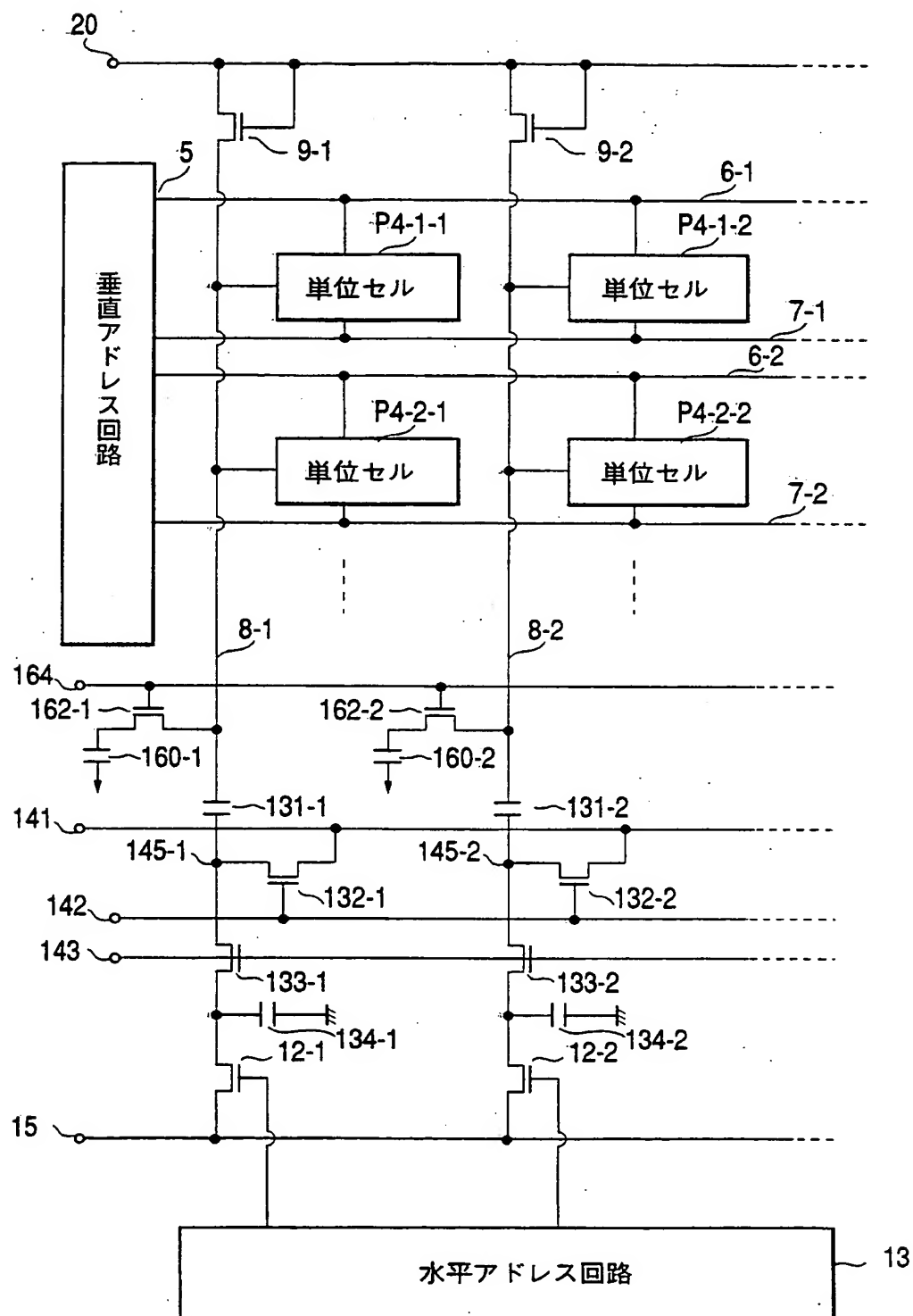


FIG.26

21 / 24

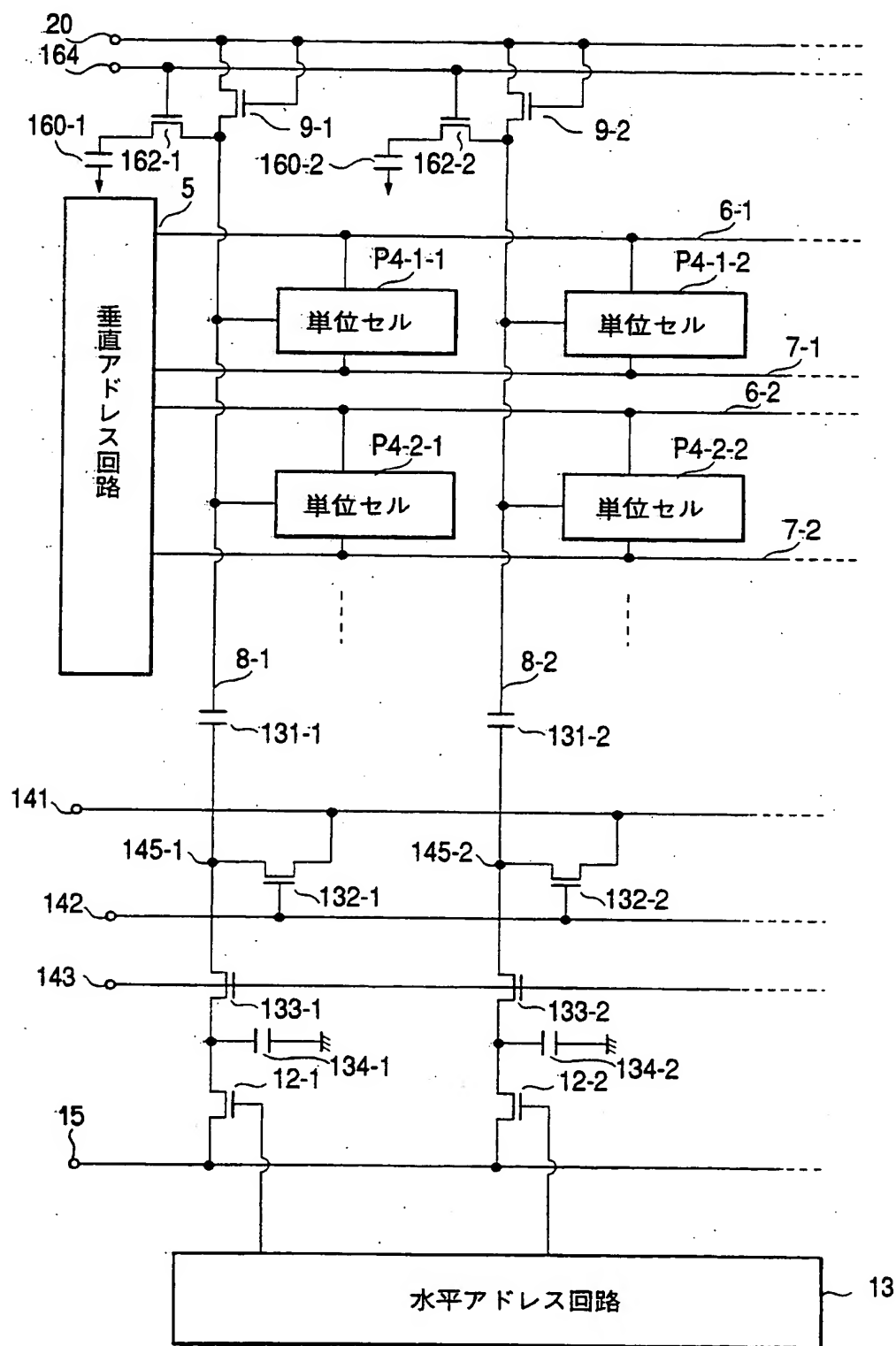


FIG.27

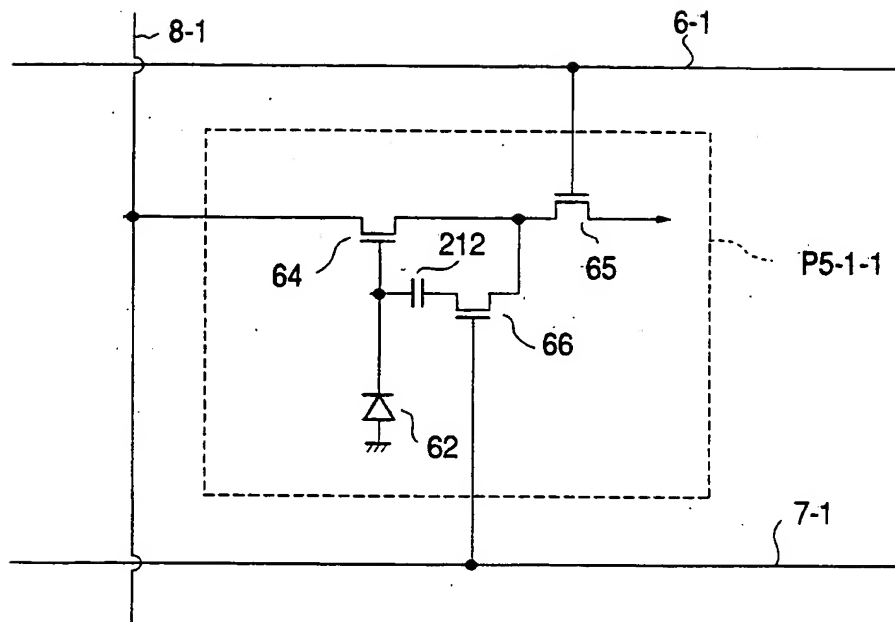


FIG.28

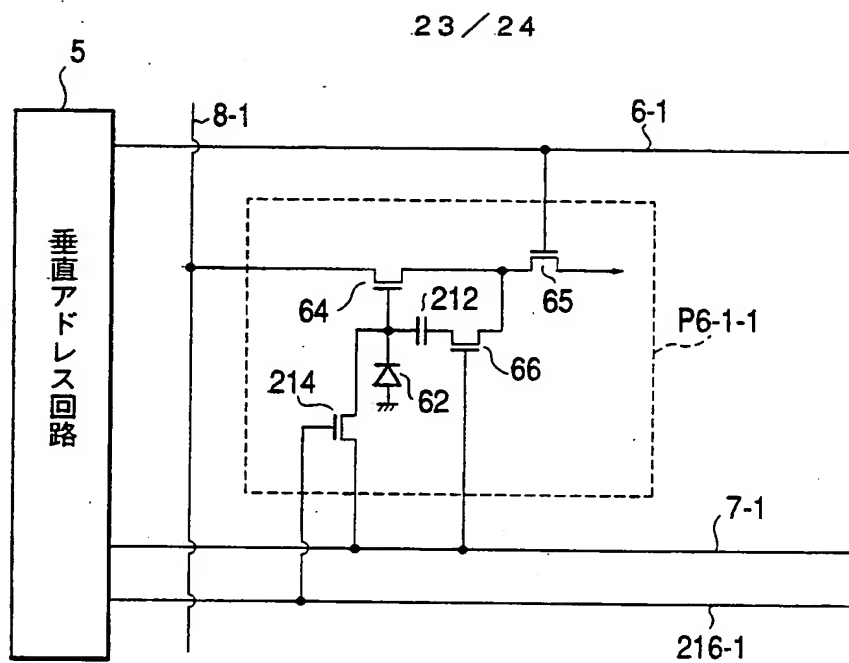


FIG.29

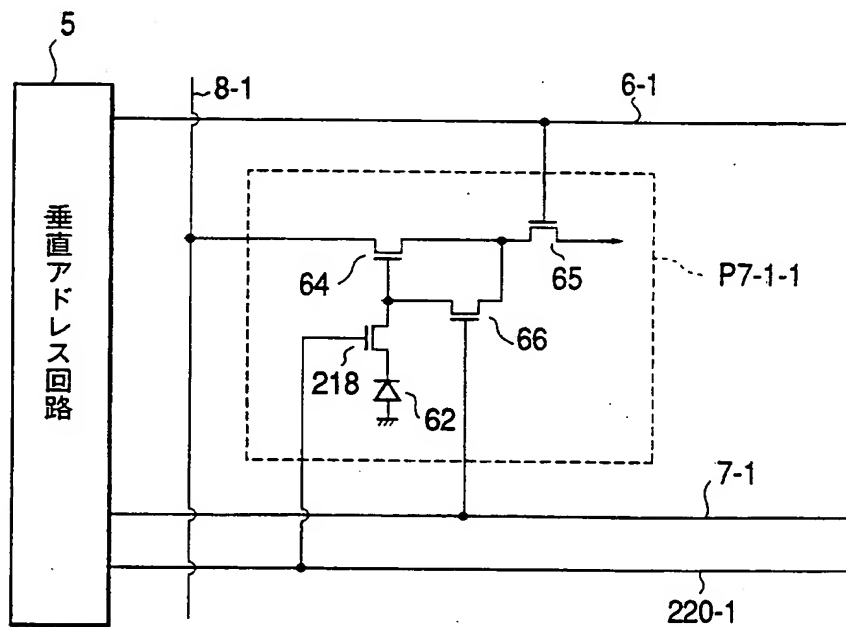


FIG.30

24 / 24

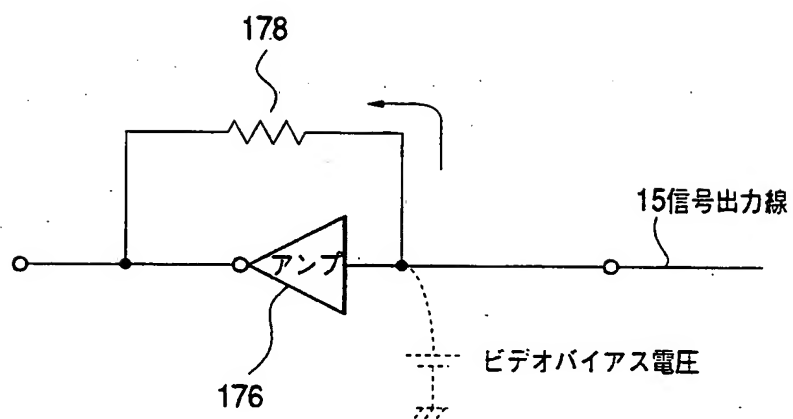


FIG.31

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/02279

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl<sup>6</sup> H04N5/335

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl<sup>6</sup> H04N5/30-5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1996

Kokai Jitsuyo Shinan Koho 1971 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP, 05-207220, A (Olympus Optical Co., Ltd.), August 13, 1993 (13. 08. 93) & US, 5296696, A Fig. 1 Fig. 1	1 2 - 22
Y A	JP, 05-252445, A (Sony Corp.), September 28, 1993 (28. 09. 93) (Family: none) Fig. 1 Fig. 1	1 2 - 22

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
October 1, 1996 (01. 10. 96)

Date of mailing of the international search report  
October 15, 1996 (15. 10. 96)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## 国際調査報告

国際出願番号 PCT/J.P.96/02279

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.<sup>6</sup> H04N5/335

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.<sup>6</sup> H04N5/30-5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-1996年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	J.P. 05-207220, A (オリンパス光学工業株式会社) 13. 8月. 1993 (13. 08. 93) &US, 5296696, A 第1図 第1図	1 2-22
Y A	J.P. 05-252445, A (ソニー株式会社) 28. 9月. 1993 (28. 09. 93) (ファミリーなし) 第1図 第1図	1 2-22

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 先行文献ではあるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

01. 10. 96

国際調査報告の発送日

15.10.96

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J.P.)

郵便番号 100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

馬場 清

5C 9374

電話番号 03-3581-1101 内線 3543